

DSP 微计算机

初步技术资料 ADSP-2191

ADSP-219x DSP 内核特点

6.25ns 指令周期时间（内部），可持续工作在高达 **160MIPS**

与 **ADSP-218x** 家族的代码兼容，并有相同易用的代数语法

单周期指令执行

多达 **16M** 字的可寻址内存空间，编址宽度为 **24** 位

对指令和数据存储的双目的程序内存

完全透明的指令缓存允许在每个指令周期内取入两个操作数

统一的内存空间允许使用两组独立的 **DAG** 单元灵活的编址

独立的 **ALU**，乘法器/累加器，和具有双 **40** 位累加器的桶形移位器计算单元

两套计算单元和 **DAG** 寄存器之间的单周期环境转换

并行执行计算和内存指令

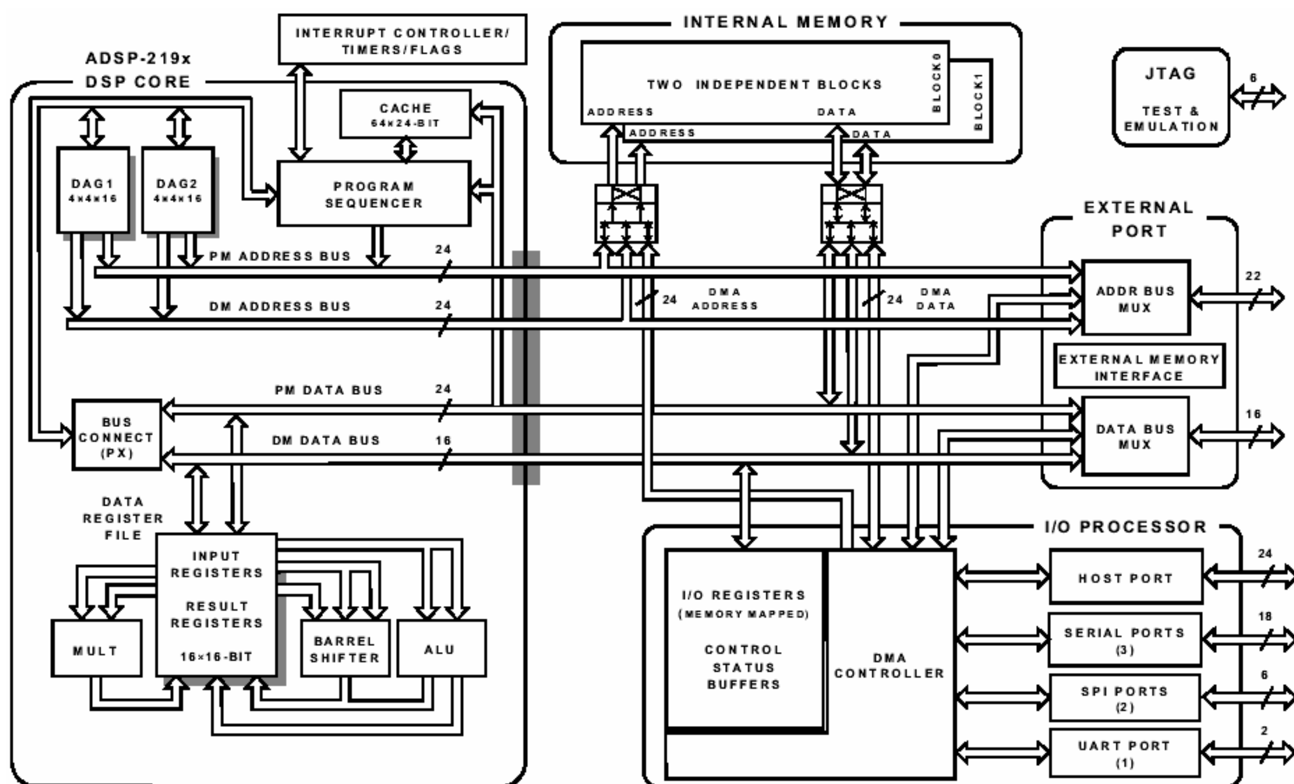
流水线结构支持高效的代码执行，速度可达 **160MIPS**

寄存器文件计算具有全部无条件、无并行的计算指令

强大的程序定序器提供零开销循环和条件指令执行

针对编译的 **C** 代码效率的结构增强

功能模块框图



One Technology Way, P.O.Box 9106, Norwood, MA 02062-9106, U.S.A.
电话：781/329-4700 www.analog.com
传真：781/326-8703

ADSP-2191 DSP 特点

64K 字的片内 **RAM**，配置为 **32K** 字的片内 **24** 位 **RAM** 和 **32K** 字的片内 **16** 位 **RAM**

结构增强超过了 **ADSP-218x** 家族，由针对于增加的寄存器、端口和外设的指令集扩展来支持

灵活的电源管理，有可选的下电和空闲模式

可编程 **PLL** 支持 **1**×和 **32**×倍频，以低速时钟输入使能全速运行

2.5V 内部运行支持 **3.3V** 适应的 **I/O**

三个全双工多通道串行口，每个都具备 **A** 律和μ律压扩硬件，支持 **H.100** 标准

两个 **SPI** 兼容的端口，具有 **DMA** 能力

16 个通用 **I/O** 引脚（**8** 个专用的/**8** 个可外部存储器接口编程的），具有集成的中断支持

三个可编程 **32** 位内部计时器，具有脉宽计时、**PWM** 发生和对外时钟驱动计时器的能力

多达 **11** 个 **DMA** 通道，能够在任意给定的时刻激活

主机端口，具有 **DMA** 能力实现高效无粘滞的主机端口（**16** 位传输）

外部存储器接口的特点包括：

对数据和指令可从 **DSP** 到外部存储器的直接存取。

支持从/到外部存储器的 **DMA** 块传输。

分离的外设存储器空间，具有对 **224K** 外部 **16** 位寄存器的并行支持。

4 个通用存储器选择信号，提供对各个外部存储器组的访问。组的边界和大小是用户可编程的。

可编程的等待状态逻辑，具有 **ACK** 信号和分离的读和写等待计数。等待模式的完成支持 **ACK** 和/或者等待计数的所有组合方式。

I/O 时钟速率能被设置为外部时钟的 **1**，**2**，**4**，**16**，或者 **32** 分频，实现与慢速的存储设备的接口。

提供了地址翻译和数据字打包，以支持 **8** 或者 **16** 位的外部数据总线。

可编程的读写选通极性。

对于四个通用的、外设和引导存储器的分离的配置寄存器。

总线申请和授权信号支持外部设备使用外部总线。

引导方法包括通过外部存储器接口，**SPI** 端口，**UART** 端口，或者主机端口

IEEE JTAG 标准 **1149.1** 测试访问端口支持片内仿真和系统调试

144 线 **LQFP** 封装（**20**×**20**×**1.4mm**）和 **114** 线小型 **BGA** 封装（**10**×**10**×**1.25mm**）

目 录

说明

这份技术资料提供了 ADSP-2191 数字信号处理器的预先信息。

概述

ADSP-2191 DSP 是一款优化的单片微型计算机，适用于数字信号处理（DSP）和其他高速数值处理应用。

ADSP-2191 结合了 ADSP-219x 家族的基本体系结构（三个计算单元，两个数据地址发生器和一个程序定序器）和三个串行口，两个 SPI 兼容端口，一个 UART 端口，一个 DMA 控制器，三个可编程计时器，通用可编程标志引脚，扩展的中断能力，以及片内程序和数据存储空间。

ADSP-2191 体系结构是与 ADSP-218x 家族 DSP 代码兼容的。虽然体系结构是兼容的，但是 ADSP-2191 的体系结构有了一些增强，超过了 ADSP-218x 体系结构。这些对于计算单元，数据地址发生器和程序定序器的增强，使得 ADSP-2191 比 ADSP-218x DSP 更加灵活，更加容易编程。

间接寻址选项提供了寻址的灵活性——借助于一个 8 位的补二立即数和基址寄存器，实现无更新的预先修改、预先和之后修改，可以更容易地执行环式缓冲。

ADSP-2191 集成了 64K 字的片内存储器，配置为 32K 字（24 位）的程序 RAM 和 32K 字（16 位）的数据 RAM。为低功耗需求提供了下电电路，用于电池供电的便携式设备。ADSP-2191 有 144 线 LQFP 和小型 BGA 两种封装。

使用高速、低功耗、CMOS 工艺制造的 ADSP-2191，运行于 6.25ns 的指令周期（160MIPS）。除两条多字指令外，所有的指令都能够在单 DSP 周期内执行。

ADSP-2191 的灵活结构和综合指令集支持并行多操作。例如，在一个处理器周期中，ADSP-2191 能够：

- 为取下一条指令产生一个地址
- 取下一条指令
- 完成一个或者两个数据移动
- 更新一个或者两个数据地址指针
- 完成一个计算操作

这些操作会发生，当处理器继续要：

- 通过两个串行口接收和发送数据
- 从主机接收和/或发送数据
- 通过 UART 接收或发送数据
- 通过 SPI 端口接收或发送数据
- 通过外部存储器接口访问外部存储器
- 递减计时器

DSP 内核的体系结构

ADSP-2191 指令集提供了灵活的数据移动和多功能（一个或两个数据移动并计算）指令。每一个条单字指令都能在单个处理器周期内执行。ADSP-2191 汇编语言使用了一种代数语法，易于编写和阅读。有一整套开发工具用于支持程序开发。

第 1 页的功能模块框图表明了 ADSP-219x 内核的体系结构。它包含了三个独立的计算单元：ALU，乘法器/累加器（MAC），以及移位器。计算单元处理来自于寄存器文件的 16 位的数据并且为支持多精度计算做准备。ALU 执行一套标准的算术和逻辑操作；除法的原语也是被支持的。MAC 执行单周期乘法，乘加，以及乘减操作。MAC 有两个 40 位的累加器，可以处理溢出问题。移位器执行逻辑和算术移位，规格化，反向规格化，以及指数求导操作。移位器能用来高效地执行数值格式控制，包括多字和块浮点表示。

寄存器用法规则影响到输入和结果在计算单元里面的存放。对大多数操作来说，计算单元的数据寄存器的作用相当于一个数据寄存器文件，允许任何输入或结果寄存器向计算中任何单元提供输入。为了反馈操作，计算单元使任何单元的输出（结果）在下一个周期成为任何单元的输入。对于条件或者多功能指令，数据寄存器在向每一个计算单元提供输入或者从每一个计算单元接收结果时，有一些限制。需要更多信息，请参见 *ADSP-219x DSP 指令集指南*。

一个强大的程序定序器控制指令执行的流程。定序器支持条件跳转，子程序调用，以及低级中断开销。借助于内部循环计数器和循环堆栈，ADSP-2191 执行循环代码时没有额外的系统开销；不需要显式的跳转指令来维持循环。

两个数据地址发生器（DAGs）为同时取双操作数（从数据存储器到程序存储器）提供地址。每个 DAG 维持和更新四个 16 位的地址指针。每当指针用来访问数据（间接寻址）的时候，它就会预先或者之后被修改，赋予四个可能的修改寄存器之一的值。一个长度值和基址会与每一个指针关联到一

起，以执行环式缓冲区的自动模二寻址。DAG 中的页寄存器允许对以 64K 字为边界的 256 个存储器页面中的任一页进行环式寻址，但是，这些缓冲区不可以交叉页边界。

次级寄存器复制 DAG 中的所有的主寄存器；主次寄存器之间的切换提供了快速的环境切换。

内核中，高效的数据传输通过内部总线完成：

- 程序存储器地址（PMA）总线
- 程序存储器数据（PMD）总线
- 数据存储器地址（DMA）总线
- 数据存储器数据（DMD）总线
- DMA 地址总线
- DMA 数据总线

两个地址总线（PMA 和 DMA）共用一个外部地址总线，允许存储器进行片外扩展，另外，两个数据总线（PMD 和 DMD）共用一个外部数据总线。引导存储器空间和 I/O 存储器空间也共用这些外部总线。

程序存储器能够存储指令和数据，允许 ADSP-2191 在单个周期内取两个操作数，一个来自于程序存储器，另一个来自于数据存储器。DSP 的双存储器总线也使得 ADSP-219x 可以在单个周期内从数据存储器中取得一个操作数，同时从程序存储器中取得下一条指令。

DSP 外设的体系结构

第 1 页的功能模块框图表明了 DSP 的片内外设，包括外部存储器接口，主机端口，串行口，SPI 兼容端口，UART 端口，JTAG 测试和仿真端口，计时器，标志，以及中断控制器。这些片内外设能够连接到片外设备，如图 1 所示。

ADSP2191 有一个 16 位的主机端口，它具有 DMA 能力，使得外部主机可以访问片内存储器。这个 24 针的并行端口由一个 16 针的数据/地址复用总线构成，并且提供了低级服务开销的数据移动能力。这个端口可配置为 8 位的或者 16 位的，提供了对于多种 8 位和 16 位微控制器的无粘滞接口。两个片选使得主机可以访问 DSP 的整个存储器映射。DSP 可以通过这个端口引导。

ADSP-2191 还有一个外部存储器接口，由 DSP 内核、DMA 控制器和具有 DMA 能力的外设所共用。具有 DMA 能力的外设包括 UART，SPORT0，SPORT1，SPORT2，SPI0，SPI1，以及主机端口。外部端口由一个 16 位数据总线、一个 22 位地址总线和控制信号构成。数据总线是可配置的，提供与外部存储器的 8 位或 16 位接口。由于支持字打包，使得 DSP 可以存取外部存储器的 16 或者 24 位字，而无需考虑外部数据总线的宽度。当配置为 8 位的接口，未使用的 8 根线提供 8 个可编程的双向通用的可编程标志线，其中 6 个能够映射为软件条件信号。

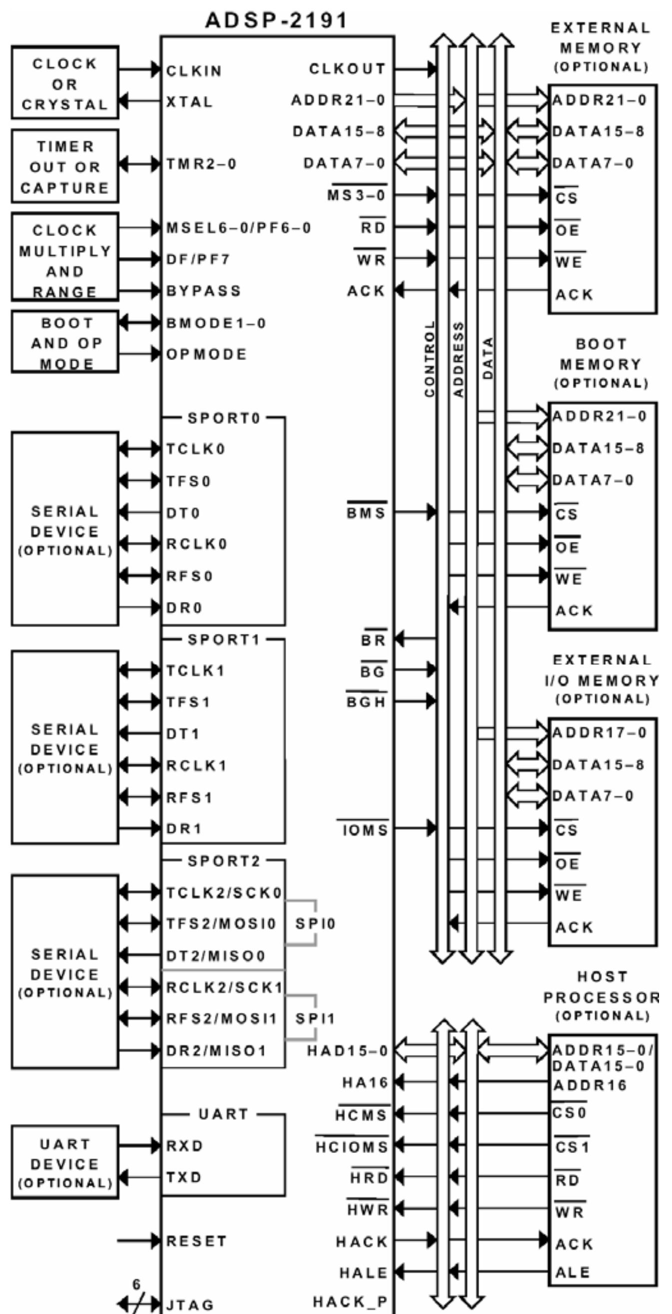


图 1.　ADSP-2191 系统框图

存储器 DMA 控制器使得 ADSP-2191 可以从两个存储空间中移动数据和指令：内部到外部，内部到内部，以及外部到外部。片内外设也能够使用这个控制器实现 DMA 传输。

ADSP-2191 能够在任一给定时刻响应多达 17

个中断：3 个内部的（堆栈、仿真器内核、和下电），2 个外部的（仿真器和复位），以及 12 个用户定义的（外设）中断。程序员给一个外设分配 12 个用户定义中断其中之一，这些分配决定了每一个外设中断服务程序的优先级。

ADSP-2191 有 3 个串行端口，提供了完全同步全双工串行接口。这个接口包括硬件上可选的压扩和多种打帧或未打帧的数据传送和接收的操作模式。每一个串行端口都能够传送或者接收一个内部的或外部的可编程串行时钟和帧同步。每一个串行端口支持 128 通道的分时复用。

ADSP-2191 提供了多达 16 格通用的 I/O 引脚，可编程作为输入或输出。其中 8 个是专用的通用的可编程标志引脚。另外 8 个是多功能引脚，当 DSP 连接到 8 位的外部数据总线的时候，作为通用的 I/O 引脚，而当 DSP 连接到 16 位外部数据总线的时候，作为高 8 位数据引脚。这些可编程标志引脚能够实现沿触发或电平触发的中断，某些可以用来作为条件指令执行的基础。

三个可编程内部计时器产生周期性的中断。每个计时器都能独立地设置，运行在三种模式之一：

- 脉冲波形发生模式
- 脉宽计数/捕获模式
- 外部事件看门狗模式

每个计时器都有一个双向引脚和 4 个寄存器来实现其运行模式：一个 7 位的配置寄存器，一个 32 位的计数寄存器，一个 32 位的周期寄存器，以及一个 32 位的脉宽寄存器。一个状态寄存器支持全部三个计时器。模式状态寄存器中的一位可以全局地使能或禁止全部三个计时器，而在每一个计时器的配置寄存器中的一位可以独立地使能或禁止相应的计时器。

存储器的体系结构

ADSP-2191 DSP 提供了 64K 字的片内 SRAM 内存。这个内存分为两个 32K 的区域，在 DSP 的内存映射中，定位在内存的第 0 页。除了内部和外部存储空间以外，ADSP-2191 能够对两个附加的分离的片外存储空间进行编址：I/O 空间和引导空间。

如图 2 所示，DSP 的两个内部存储区域填充了整个第 0 页。整个 DSP 存储映射由 256 页（第 0－255 页）组成，每一页的长度为 64K 字。外部存储空间由 4 个存储器组（第 0－3 组）组成，可以支持多种 SRAM 存储设备。每一组都可以用存储器选择引脚（MS3-0）进行选择，并具有可配置的页边界，等待状态，以及等待状态模式。1K 字的片内引导 ROM 填充了第 255 页的顶端，其余的 254 页可编址为片外地址。I/O 存储器页面与外部存储器页面不同，因为 I/O 页面的长度是 1K 字，而外部 I/O 页面有它们自己的选择引脚（IOMS）。I/O 存储空间的第 0－31 页在片内，并且包含外设的配置寄存器。ADSP-2191 和具有 DMA 能力的外设都可以访问 DSP 的整个存储映射。

内部（片内）存储器

ADSP-2191 的统一的程序和数据存储空间由 16M 单元组成，可以通过两个 24 位的地址总线（PMA 和 DMA 总线）访问。DSP 使用略微不同的机理，为每个总线产生 24 位的地址。DSP 有三个功能来支持对整个存储映射的访问。

- 为从整个 DSP 存储地址范围内取数据，DAG 产生 24 位的地址。因为 DAG 索引（地址）寄存器宽度是 16 位，只能保持地址的低 16 位，所以，每一个 DAG 都有其自己的 8 位的寄存器（DMPGx），来保持地址中的高 8 位。在 DAG 产生地址之前，程序必须将 DAG 的 DMPGx 寄存器设置到正确的存储器页面上去。
- 程序定序器为取指令产生地址。对于相对寻址指令，如相对跳转、调用和循环，程序定序器将地址基于 24 位的程序计数器（PC）。在直接寻址指令中（双字指令），指令提供了一个 24 位的立即地址值。PC 允许在整个 24 位地址范围内线性寻址。
- 对于间接跳转和调用，它们使用了 16 位的 DAG 地址寄存器存放分支地址的一部分，程序定序器依赖于 8 位的间接跳转页（IJPG）寄存器来提供地址的高 8 位。在页间跳转或调用之前，程序必须将程序定序器的 IJPG 寄存器设置到正确的存储器页面去上。

ADSP-2191 有 1K 字的片内 ROM，保存有引导程序。如果选择了外设引导，DSP 则从片内引导 ROM 开始执行指令，从而从选定的外设启动引导过程。更多的信息，请参见第 14 页的引导模式。片内引导 ROM 位于 DSP 存储空间映射的第 255 页。

外部（片外）存储器

ADSP-2191 的每一个片外存储空间都各自有一个控制寄存器，这样应用中可以对每一个空间配置唯一的访问参数。访问参数包括读写等待计数，

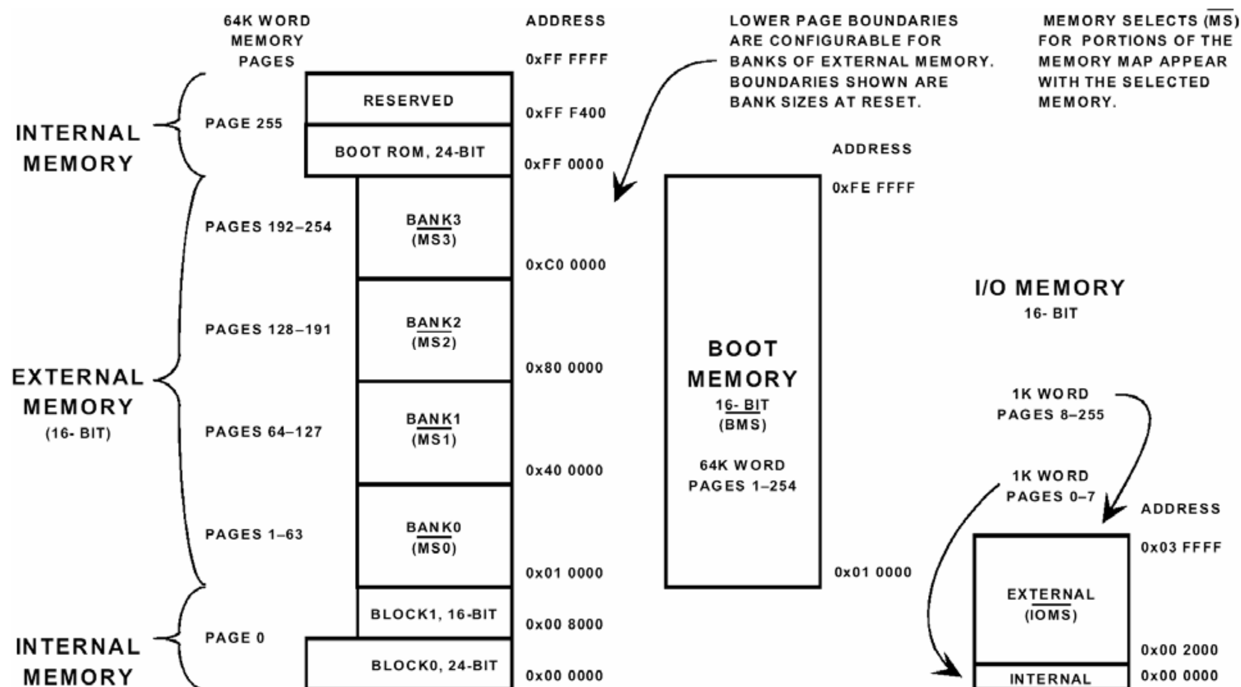


图 2.　ADSP-2191 存储器映射

等待状态完成模式，I/O 时钟分频率，写保持时间拓延，选通极性，以及数据总线宽度。内核时钟和外设时钟频率会影响到外部存储器访问选通的宽度。更多信息，请参见第 13 页的时钟信号。片外存储空间是：

- 外部存储空间（MS3－0）
- I/O 存储空间（IOMS 引脚）
- 引导存储空间（BMS 引脚）

所有这些片外存储空间都可以通过外部端口访问，可以配置为 8 位或者 16 位。

外部存储空间

外部存储空间由 4 个存储器组构成。这些组都包含有数量可配置的 64K 字的页面。复位时，外部存储器的页边界为第 0 组包含第 1－63 页，第 1 组包含第 64－127 页，第 2 组包含第 128－191 页，第 3 组包含第 192－254 页。存储器组引脚 MS3-0 可以分别选择第 3－0 组。外部存储器接口对 DSP 程序地址的高 8 位进行解码，以从 4 组中选择其一。ADSP-2191 和具有 DMA 能力的外设都可以访问 DSP 的外部存储空间。

I/O 存储空间

ADSP-2191 支持附加的外部存储器，即 I/O 存储空间。这个空间是用于支持对外设（例如数据转换器和外部寄存器）或者对总线接口 ASIC 数据寄存器的简单的连接。I/O 空间支持总共 256K 个单元。起始的 8K 地址是为片内外设保留的，而后面的 248K 地址是外部的外设器件可以使用的。DSP 的指令集提供了访问 I/O 空间的指令。这些指令使用了一个 18 位的地址，该地址由一个 8 位的 I/O 页面（IOPG）寄存器和指令中提供的一个 10 位的立即数组合而成。ADSP-219x 内核和主机（通过主机端口接口）都能访问 I/O 存储空间。

引导存储空间

引导存储空间由一个有 254 个页面的片外组构成。存储器组引脚 BMS 可以选择引导存储空间。ADSP-219x 和具有 DMA 能力的外设都可以访问 DSP 的片外引导存储空间。复位后，DSP 总是从片内引导 ROM 开始执行指令。根据引导配置，引导 ROM 的代码能够从引导存储器开始引导 DSP。更多的信息，请参见第 14 页的引导模式。

中断

DSP 的中断控制器可以以最少的开销响应 17 种中断。控制执行如表 1 所示的中断优先级。应用中可以使用那些未分配的空缺，作为软件和外设中断。

表 1. 中断优先级/地址

中断	IMASK/IRPTL	矢量地址 [1]
仿真器（NMI）－最高优先级	NA	NA
复位（NMI）	0	0x00 0000
下电（NMI）	1	0x00 0020
循环和 PC 堆栈	2	0x00 0040
仿真内核	3	0x00 0060
用户分配的中断	4	0x00 0080
用户分配的中断	5	0x00 00A0
用户分配的中断	6	0x00 00C0
用户分配的中断	7	0x00 00E0
用户分配的中断	8	0x00 0100
用户分配的中断	9	0x00 0120
用户分配的中断	10	0x00 0140
用户分配的中断	11	0x00 0160
用户分配的中断	12	0x00 0180
用户分配的中断	13	0x00 01A0
用户分配的中断	14	0x00 01C0
用户分配的中断－最低优先级	15	0x00 01E0

[1] 当 DSP 处于"无引导"时，即从外部运行的存储模式，这些中断矢量起始于地址 0x10000

表 2 给出了复位时每个外设中断的 ID 和优先级。若要为外设中断分配一个不同的优先级，则在应用中将其新的优先级写入中断优先级控制寄存器中相应的控制位（决定于其 ID）。外设中断在 IMASK 和 IRPTL 寄存器中的位置及其矢量地址取决于其优先级水平，如表 1 所示。由于 IMASK 和 IRPTL 寄存器只有 16 位，所以，优先级水平被配置为 11 的任何外设中断会被重叠到这些寄存器的最低优先级位的位置(15)，并且共享矢量地址 0x00 01E0。

中断服务程序可以被嵌套于取得优先地位的更高优先级的中断，也可以被依次处理。中断可以通过 IMASK 屏蔽和解除屏蔽。单个的中断申请会与 IMASK 中的相应位进行逻辑 AND；未被屏蔽的最高优先级的中断会被选中。仿真、下电和复位中断是不可用 IMASK 寄存器屏蔽的，但是软件上可以利用 DIS INT 指令来屏蔽下电中断。

表 2. 复位时的外设中断及优先级

中断	ID	复位优先级
从 DMA/主机端口接口	0	0
SPORT0 接收	1	1
SPORT0 发送	2	2
SPORT1 接收	3	3
SPORT0 发送	4	4
SPORT0 接收/SPI0	5	5
SPORT0 发送/SPI1	6	6
UART 接收	7	7
UART 发送	8	8
计时器 A	9	9
计时器 B	10	10
计时器 C	11	11
可编程标志 0（任何 PFx）	12	11
可编程标志 1（任何 PFx）	13	11
存储器 DMA 端口	14	11

中断控制（ICNTL）寄存器控制中断嵌套以及全局使能和禁止中断。通用可编程标志（PFx）引脚能够配置为输出，实现软件中断，以及（作为输入）实现硬件中断。可编程标志引脚中断可以配置为电平触发、单沿触发或者双沿触发。

表 3. 中断控制（ICNTL）寄存器的位

位	描述
0－3	保留
4	中断嵌套允许
5	全局中断使能
6	保留
7	MAC 有偏取整使能
8－9	保留
10	PC 堆栈中断允许
11	循环堆栈中断允许
12－15	保留

IRPTL 寄存器用于强制和清除中断。片内堆栈会保存处理器的状态并自动在处理中断的过程中维持之。为了支持中断、循环和子程序嵌套，PC 堆栈深度为 33 级，循环堆栈深度为 8 级，状态堆

栈深度为 16 级。为了防止堆栈溢出，在 PC 堆栈低于三个单元或者高于 28 个单元时，PC 堆栈能产生一个堆栈级别的中断。

下面的指令可以全局使能或禁止中断服务，而与 IMASK 的状态无关。

ENA　　INT;

DIS　　INT;

复位时，中断服务被禁止。

为了实现中断的快速服务，存在一套次级 DAG 和计算寄存器。在主次寄存器之间切换使得程序响应服务中断，同时保存 DSP 的状态。

DMA 控制器

ADSP-2191 有一个 DMA 控制器，用以支持 DSP 内核以最小的开销自动地传送数据。偷窃周期的 DMA 传送会在 ADSP-2191 的内部存储器和它的任一个具有DMA 能力的外设之间发生。另外，DMA 传送能够在任何具有 DMA 能力的外设和连接到外部存储器接口的外部设备之间完成。具有 DMA 能力的外设包括主机端口，所有的 SPORT，所有的 SPI 端口，以及 UART。每个具有 DMA 能力的外设都有一个专用的 DMA 通道。为了描述每一个 DMA 序列，DMA 控制器使用一套参数——称为 DMA 描述符。当需要连续的 DMA 序列时，这些 DMA 描述符能够被连接或者链接到一起，这样，一个 DMA 序列的完成就自动地初始化并起动下一个序列。DMA 序列不会与 DSP 竞争总线访问，代之以 DMA“偷窃”周期实现访问存储器。

所有的 DMA 传送都使用 DMA 总线，如第 1 页的功能模块图所示。由于所有的外设使用同一个总线，所以需要 DMA 总线仲裁。DMA 总线仲裁如表 4 所示。

表 4.　I/O 总线仲裁优先级

DMA 总线主控器	仲裁优先级
SPORT0 接收 DMA	0－最高
SPORT1 接收 DMA	1
SPORT2 接收 DMA	2
SPORT0 发送 DMA	3
SPORT1 发送 DMA	4
SPORT2 发送 DMA	5
SPI0 接收/发送 DMA	6
SPI1 接收/发送 DMA	7
UART 接收 DMA	8
UART 发送 DMA	9
主机端口 DMA	10
存储器 DMA	11 最低

主机端口

ADSP-2191 的主机端口作为外部主机的外部总线上的一个从属机构运行。主机端口接口使得主机可以读出或写入 DSP 的存储空间、引导空间或者内部 I/O 空间。主机的实例包括外部的微控制器、微处理器或者 ASIC。

主机端口是一个复用 的地址和数据总线，提供了 8 位和 16 位的数据通路，使用异步传输协议。通过这个端口，一个片外的主机可以直接访问 DSP 的整个存储空间映射、引导存储空间和内部 I/O 空间。为了访问 DSP 的内部存储空间，主机会在每一次访问时从 DSP 窃取一个周期。主机使用外部端口接口访问 DSP 的外部存储器，而不会延迟（或者窃取周期）DSP 的内核。因为主机能够访问内部 I/O 存储空间，所以主机可以控制 DSP 的任何 I/O 映射的外设。

当把 DSP 用作一个从属机构并且利用 DMA 为这些访问自动递增地址的时候，主机端口的效率最高。在这种情况下，无需为每一个数据传送都从主机传送一个地址。

主机端口应答（HACK）模式

主机端口支持数种模式（或者协议），来产生对于主机的 HACK 输出。主机用 HACK_P 和 HACK 引脚来选择 ACK 或者就绪模式。主机端口也支持两种地址控制的模式：地址锁存允许（ALE）和地址周期控制（ACC）模式。DSP 根据 HALE 和 HWR 输入自动检测 ALE 还是 ACC 模式。

主机端口 HACK 信号极性可选为（仅在复位时）高有效或者低有效，这依赖于驱动于 HACK_P 引脚的电平值。HACK 的极性作为只读位被存入主机端口配置寄存器中。

DSP 使用 HACK 来为主机指示何时完成一个访问。对于一个读过程，当有效的数据出现在读缓冲区内，并且主机端口此时未进行写操作时，则主机能够进行并完成一个访问。对于一个写过程，当写缓冲区不满并且主机端口此时未进行写操作时，则主机能够完成一个访问。

主机端口配置寄存器中的两个模式位 HPCR[7:6]定义了 HACK 引线的功能性。HPCR6 在复位时初始化，这基于驱动于 HACK 和 HACK_P

引脚（如表 5 中所示）上的电平值；HPCR7 在复位时会被清零。复位后，可以通过对主机端口寄存器的一个写访问，来修改 HPCR[7:6]。

表 5. 主机端口应答模式选择

复位时的驱动值		HPCR[7:6] 初始值		应答模式
HACK_P	HACK	第 7 位	第 6 位	
0	0	0	1	就绪模式
0	1	0	0	ACK 模式
1	0	0	0	ACK 模式
1	1	0	1	就绪模式

由 HPCR[7:6]选择的功能模式如下所述（假设信号高有效）：

- **ACK 模式**——应答在选通时有效；HACK 在选通的前沿变高，指示何时访问能够完成。在主机取得 HACK 有效之后，它能够通过撤去选通完成访问。然后，主机端口撤去 HACK。
- **就绪模式**——就绪在选通时有效，在访问期间变低，插入等待状态。如果主机端口不能完成访问，它就撤掉对 HACK/READY 引线的维持。在这种情况下，主机必须通过保持发出的选通来拓展访问。当主机取得发出的 ACK，那么，它能够通过撤销选通，进行并完成访问。

当处于地址周期控制（ACC）模式和 ACK 或就绪应答模式时，HACK 为任何地址周期返回有效状态。

主机端口片选

有两种片选信号与主机端口相关：HCMS 和 HCIOMS。主机芯片存储器选择（HCMS）使得主机选择 DSP 并直接访问 DSP 的内部/外部存储空间或者引导存储空间。主机芯片 I/O 存储器选择（HCIOMS）使得主机选择 DSP 并直接访问 DSP 的内部 I/O 存储空间。

在开始一个直接访问之前，主机会配置主机端口接口寄存器，说明外部数据总线（8 位或 16 位）的宽度和目标地址页（在 IJPG 寄存器内）。基于目标地址，DSP 在访问过程中产生所需的存储器选择信号。主机端口接口将来自于一个、两个或三个连续的主机访问（直到一个 24 位的值）的数据结合为一个 DMA 总线访问，以预取主机直接读或者之后直接写。在汇编更大的字的过程中，主机端口接口为每个字节的访问发出 ACK，不起动一个读或完成一个写操作。否则，当成功完成存储器访问时，主机端口接口发出 ACK。

DSP 串行口（多个 SPORT）

ADSP-2191 集成了三个完全同步的串行口（SPORT0、SPORT1 和 SPORT2），以实现串行和多处理器通讯。这些 SPORT 支持以下的特征：

- 双向操作——每个 SPORT 都有独立的发送和接收引脚。
- 缓冲的（深度为 8）发送和接收端口——每个端口都有一个数据寄存器，用于向/从其他 DSP 元件传送数据字，还有移位寄存器，用于将数据移入和移出数据寄存器。
- 时钟——每个发送和接收端口都能使用一个外部串行时钟（≤75MHz）或者产生自己的时钟，频率范围从 1144Hz 到 75MHz。
- 字长——每个 SPORT 支持串行数据字的长度为 3 到 16 位，以大 Endian（MSB）或小 Endian（LSB）格式传送。
- 帧——每个发送和接收端口都能运行在有或没有对每个数据字的帧同步信号的状态。帧同步信号能够内部产生，也能外部产生，高有效或低有效，伴随着两个脉宽之一和早或晚帧同步。
- 硬件压扩——每个 SPORT 都能根据 ITU 建议 G.7.11 完成 A 律或μ律压扩。压扩可以在 SPORT 的发送和/或接收通道上选择，没有附加的等待时间。
- 单周期开销的 DMA 操作——每个 SPROT 都能自动地接收和发送多个缓冲区的存储数据，每个 DSP 周期一个数据字。DSP 内核和主机处理器都能在 SPORT 和存储器之间连接或链接 DMA 传送序列。链接的 DMA 能够通过建立链接的 DMA 描述符（DMA 传送的参数）动态地定位和更新。
- 中断——每个发送和接收端口都能在完成一个数据字的传送时，或者在通过 DMA 传送一整个数据缓冲区或多个缓冲区之后，产生一个中断。
- 多通道能力——每个 SPORT 都支持 H.100 标准。

串行外设接口（SPI）端口

DSP 有两个 SPI 兼容的端口，使得 DSP 可以与

多个SPI兼容的设备进行通讯。这些端口与SPORT2复用，是 SPORT2 还是 SPI 端口有效，取决于硬件复位时 OPMODE 引脚的状态。

SPI 接口使用三个引脚传送数据：两个数据引脚（主输出－从输入，MOSIx，和主输入－从输出，MISOx）和一个时钟引脚（串行时钟，SCKx）。两个 SPI 片选输入引脚（SPISSxx）使其他的 SPI 设备选择 DSP，14 个 SPI 片选输出引脚（SPIxSEL7-1）使 DSP 选择其他 SPI 设备。SPI 选择引脚被重新配置为可编程标志引脚。使用这些引脚，SPI 端口提供一个全双工、同步串行接口，支持主、从模式和多主控器环境。

每个 SPI 端口的波特率和时钟相位/极性都是可编程的（见图 3），并且每个都有一个集成的 DMA 控制器，可以对其配置以支持发送和接收数据流。在任一给定时刻，SPI 的 DMA 控制器仅仅能够进行单向访问。

$$\text{SPI Clock Rate} = \frac{HCLK}{2 \times SPIBAUD}$$

图3.　SPI 时钟频率计算

在传送过程中，SPI 端口通过在两条串行数据线上串行移入和移出数据，实现同时发送和接收。串行时钟线使得在两条串行数据线上的移位和采样同步。

在主控制模式下，DSP 内核执行如下的序列，来建立和初始化 SPI 传送：

1. 使能并配置 SPI 端口的操作（数据大小和传送格式）。
2. 使用 SPIxSELy 输出引脚（被重新配置为可编程标志引脚）选择目标 SPI 从控制器。
3. 在 I/O 存储空间（仅在 DMA 模式下可选）的第 0 页定义一个或多个 DMA 描述符。
4. 使能 SPI DMA 引擎并指定传送方向（仅在 DMA 模式下可选）。
5. 仅在非 DMA 模式时，读或写 SPI 端口的接收或发送数据缓冲区。

   SCKx 线产生已编程的时钟脉冲，从而实现同步地从 MOSIx 上移出数据和在 MISOx 上移入数据。仅在 DMA 模式下，传送会一直继续，直到 SPI DMA 字计数从 1 转变为 0。

在从控制模式下，DSP 内核执行如下序列，来建立 SPI 端口从主控制器发送器接收数据：

1. 使能并配置 SPI 从属端口以匹配建立在主控制器（数据大小和传送格式）SPI 发送器上的运行参数。
2. 在存储空间的第 0 页定义并产生一个接收 DMA 描述符，以在数据传送结束时产生中断（仅在 DMA 模式下可选）。
3. 为接收访问使能 SPI DMA 引擎（仅在 DMA 模式下可选）。
4. 在 SPISSxx 输入引脚（被重新配置为可编程标志引脚）上接收到一个来自于主控制器的 SPI 片选之后，在适当的 SPI SCKx 边沿处开始接收数据。

   仅在 DAM 模式下，接收会一直继续，直到 SPI DMA 字计数从 1 转变为 0。通过将下一个 DMA 描述符入列，DSP 的内核可以继续运行。

从模式的发送操作是类似的，除了 DSP 内核会在存储空间指定发送数据的数据缓冲区，产生并释放对发送 DMA 描述符的控制，以及开始填充 SPI 端口的数据缓冲区。如果 SPI 控制器没有及时就绪发送，它会发送一个“零”字。

UART 端口

UART 端口提供了一个简化的 UART 接口，可以连接到另一个外设或者主机。它可以完成串行数据的全双工、异步传送。UART 的选项包括支持 5－8 个数据位，1 或 2 个停止位，无、偶或奇校验。UART 端口支持两种运行模式：

- PIO（已编程的 I/O）
  DSP 内核分别通过写或读 I/O 映射的 UATX 或 UARX 寄存器来发送或接收数据。在发送和接收的时候，数据均是双缓冲的。
- DMA（直接存储器访问）
  DMA 控制器传送发送和接收数据。这样就减少了往/从存储器传送数据所需的中断的次数和频率。UART 有两个专用的 DMA 通道，这些 DMA 通道与大多数 DMA 通道相比，有较低的优先级，因为它们的服务率相对较低。

UART 的波特率（见图 4）、串行数据格式、误码产生和状态以及中断都是可编程的：

- 支持的位率范围从 9.5 位到 6.25M 位每秒（100MHz 外设时钟）。
- 支持的数据格式为 7 位或 12 位帧。
- 发送和接收状态能够配置为向 DSP 内核产生可屏蔽中断。

$$\text{UART Clock Rate} = \frac{HCLK}{16 \times D}$$

图 4. UART 时钟频率计算[1]

[1] 其中，D=1～65536

计时器能够用来为 UART 接口提供硬件辅助自动波特率检测机制。

可编程标志（PFx）引脚

ADSP-2191 有 16 个双向、通用 I/O、可编程标志（PF15-0）引脚。PF7-0 引脚专用于通用 I/O，PF15-8 用作通用 I/O 引脚（如果 DSP 连接到一个 8 位的外部数据总线）或者 DATA15-8 线（如果 DSP 连接到一个 16 位的外部数据总线）。可编程标志引脚对于时钟倍频器选择和 SPI 端口运行来讲，有特殊的功能。更多的信息，请参见第 11 页的串行外设接口（SPI）端口和第 13 页的时钟信号。有十个存储映射的寄存器控制可编程标志引脚的运行：

- 标志方向寄存器
  指明每一个 PFx 引脚的方向，是作为输入还是输出。
- 标志控制和状态寄存器
  指明驱动于每一个 PFx 输出引脚上的值。作为输入，软件能够根据在这个寄存器中捕获的每个 PFx 输入引脚上的值，来判定指令的运行。一个寄存器置位，一个寄存器清零。
- 标志中断屏蔽寄存器
  使能和禁止每个 PFx 引脚用作一个对于 DSP 内核的中断。一个寄存器置位以使能中断功能，一个寄存器清零禁止中断功能。输入 PFx 引脚作为硬件中断，输出 PFx 引脚作为软件中断——锁存在 IMASK 和 IRPTL 寄存器中。
- 标志中断极性寄存器
  指明每一个 PFx 引脚的中断触发方式的极性（高有效或低有效）。
- 标志触发方式寄存器
  指明每个 PFx 引脚是电平触发还是沿触发，并且指明——如果沿触发——是仅上升沿触发还是信号的上升沿和下降沿都有效。一个寄存器选择触发类型，一个寄存器选择沿触发的哪个沿有效。

低功耗运行

ADSP-2191 有四个低功耗选项，大大减少了设备在等待条件下运行时的功耗。要进入任何一种模式，DSP 执行一条 IDLE 指令即可。ADSP-2191 通过配置 PLLCTL 寄存器中的 PDWN、STOPCK 和 STOPALL 位，当 DSP 执行 IDLE 时，在低功耗模式中进行选择。根据模式的不同，IDLE 关闭 DSP 不同部分的时钟。低功耗模式有：

- 空闲
- 内核下电
- 内核/外设下电
- 全下电

空闲模式

当 ADSP-2191 处于空闲模式时，DSP 内核停止执行指令，保留指令流水线的内容，并等待中断。内核时钟和外设时钟继续运行。

要进入空闲模式，DSP 可以在代码的任何位置执行 IDLE 指令。要退出空闲模式，DSP 响应中断然后（两个周期的延迟之后）接着执行 IDLE 指令之后的指令。

内核下电模式

当 ADSP-2191 处于内核下电模式时，DSP 内核时钟停止，但是 DSP 会保留流水线的内容，保持 PLL 的运行。外设总线保持运行，使得外设可以接收数据。

要进入内核下电模式，DSP 需要在执行完下述任务之后执行一条 IDLE 指令：

- 进入下电中断服务程序
- 检查悬挂中断和 I/O 服务程序
- 清除（＝0）PLLCTL 寄存器中的 PDWN 位
- 清除（＝0）PLLCTL 寄存器中的 STOPALL 位
- 置位（＝1）PLLCTL 寄存器中的 STOPCK 位

要退出内核下电模式，DSP 响应中断然后（两个周期的延迟之后）接着执行 IDLE 指令之后的指令。

内核/外设下电模式

当 ADSP-2191 处于内核/外设下电模式时，DSP 内核时钟和外设总线时钟停止，但是 DSP 会保持 PLL 的运行。DSP 不再会保留指令流水线的内容，外设总线停止运行，所以外设不能接收数据。

要进入内核/外设下电模式，DSP 需要在执行完下述任务之后执行一条 IDLE 指令：

- 进入下电中断服务程序
- 检查悬挂中断和 I/O 服务程序
- 清除（＝0）PLLCTL 寄存器中的 PDWN 位
- 置位（＝1）PLLCTL 寄存器中的 STOPALL 位

要退出内核/外设下电模式，DSP 响应中断然后（6 个周期的延迟之后）接着执行 IDLE 指令之后

的指令。

全下电模式

当 ADSP-2191 处于全下电模式时，DSP 内核时钟、外设时钟和 PLL 全部停止，DSP 不会再保留指令流水线的内容。外设总线停止运行，所以外设不能接收数据。

要进入全下电模式，DSP 需要在执行完下述任务之后执行一条 IDLE 指令：

- 进入下电中断服务程序
- 检查悬挂中断和 I/O 服务程序
- 置位（＝1）PLLCTL 寄存器中的 PDWN 位

要退出全下电模式，DSP 响应中断然后（500 个周期之后，PLL 稳定下来）接着执行 IDLE 指令之后的指令。

时钟信号

ADSP-2191 的时钟驱动，可以用一个晶振，也可以利用来自外部时钟振荡器的经过缓冲并整形的时钟。如果使用晶振，那么晶振应当连接到 CLKIN 和 XTAL 引脚上，配以两个电容，连接方法如图 5 所示。电容的大小取决于晶体的类型，由晶体制造商指定。在该配置中，应当使用并联谐振、基频、微处理器级的晶体。

如果使用经过缓冲并整形的时钟，外部时钟连接到 DSP 的 CLKIN 引脚。在正常运行时，CLKIN 输入不能被停止、改变或者低于指定的频率运行。这个时钟信号应该是 TTL 兼容的信号。当使用外部时钟时，XTAL 输入必须悬空。

DSP 提供了一个用户可编程的 1×到 32×的输入时钟倍频，包括一些分数值，以支持 128 个外部到内部（DSP 内核）时钟比率。复位时，MSEL6-0，BYPASS 以及 DF 引脚决定了 PLL 倍频因数。运行时，倍频因数能够被软件控制。为了支持输入时钟高于 100MHz，PLL 使用了一个附加的输入：分频（DF）引脚。如果输入时钟高于 100MHz，DF 必须为低。图 5 中的上拉和下拉电阻的组合建立了一个 6:1 的内核时钟比率，这样，就可以从 25MHz 的输入产生了 150MHz 的内核时钟。需要其他时钟倍频设置，参见 *ADSP-219x/2191 DSP 硬件指南*。

外设时钟施加到 CLKOUT 引脚。

ADSP-2191 的所有的片内外设运行在外设时钟所设定的频率下。外设时钟要么等于内核时钟频率，要么是内核时钟频率的一半。PLLCTL 寄存器中的 IOSEL 位控制这个选择。内核时钟的最大值是 160MHz，外设时钟的最大值是 100MHz——输入时钟和内核/外设时钟比率组合不能超过这些限制。

复位

RESET 信号初始化 ADSP-2191 的主控制器复位。RESET 信号必须维持在上电序列的过程中，以保证正确的初始化。初始上电过程中，必须保持 RESET 足够长的时间，使得内部时钟稳定下来。如果上电后的任何时刻 RESET 被激活，时钟将不再继续运行，而且从复位恢复时需要稳定的时间。

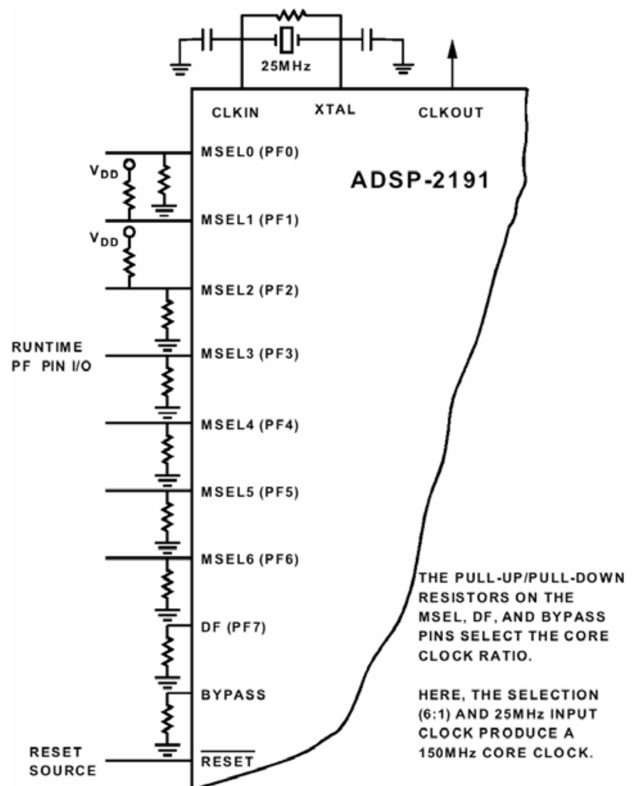


图 5. 外部晶体连接

上电序列定义为有效的 V_{DD} 施加到处理器上之后晶振电路稳定下来并且内部锁相环（PLL）锁定特定的晶振频率所需时间的总和。最少需要 100μs 才能保证 PLL 锁定，但是不包括晶振起振的时间。在上电序列的过程中，RESET 应该保持低电平。之后任何的复位，RESET 信号必须达到最小脉宽的要求，t_{RSP}。

复位输入包含一些滞环现象。如果使用 RC 电路产生 RESET 信号，电路应该使用一个外部的施密特触发器。

主控制器复位将所有的内部堆栈指针置为空栈条件，屏蔽所有的中断，复位所有寄存器至默认值（可用的话）。当 RESET 被释放时，如果没有悬

挂的总线申请并且该芯片配置为用于引导，引导装载序列将被执行。程序控制跳转到片内引导 ROM（0xFF0000）处。

电源

ADSP-2191 有独立的内部（V_{DDINT}）和外部（V_{DDEXT}）电源连接。内部电源必须符合 2.5V 的要求。外部电源必须连接到一个 3.3V 的电源上。所有的外部电源引脚必须连接到同一个电源。

如表 6 中所示，OPMODE 引脚有双重作用，复位过程中作为引导模式选择以及运行时决定 SPORT 或者 SPI 的运行。如果复位时 OPMODE 引脚的状态与应用中运行时所需的相反，应用中则需要在使用相应的外设之前，在运行过程中恰当地设置 OPMODE 位。

引导模式

ADSP-2191 有 7 种复位后自动装载内部程序存储器的机制（如表 6 所示）。

表 6. 选择引导模式（OPMODE，BMODE1，BMODE0）

OPMODE	BMODE1	BMODE0	功能
0	0	0	从外部存储器 16 位（无引导）执行
0	0	1	从 EPROM 引导
0	1	0	从主机引导
0	1	1	保留
1	0	0	从外部存储器 8 位（无引导）执行
1	0	1	从 UART 引导
1	1	0	从 SPI 引导，最高到 4K 位
1	1	1	从 SPI 引导，>4K 位到 512K 位

OPMODE、BMODE1 和 BMODE0 引脚，在硬件复位过程中被采样，而且复位配置寄存器中的三位实现这些模式：

- 从外部存储器 16 位引导——位于引导 ROM 存储空间的存储器引导程序执行引导流格式化的程序，该程序位于引导存储空间的 0x10000 地址，将 16 位的外部数据打包为 24 位的内部数据。外部端口接口被配置为默认的时钟倍频（128）和读等待状态（7）。
- 从 EPROM 引导——位于引导 ROM 存储空间的 EPROM 引导程序执行引导流格式化的程序，该程序位于引导存储空间的 0x10000 地址，将 8 位或 16 位的外部数据打包为 24 位的内部数据。外部端口接口被配置为默认的时钟倍频（32）和读等待状态（7）。
- 从主机引导——（8 位或 16 位的）主机下载引导流格式化的程序至内部或外部存储器。主机引导程序位于内部 ROM 存储空间，使用程序存储器第 0 页顶端的 16 个单元和数据存储器第 0 页顶端的 272 个单元。

  内部引导 ROM 置位信号 A（主机端口中的一个 IO 寄存器），然后不断查询，直到该信号被复位。一旦检测到复位，内部引导 ROM 则会重新映射中断向量表到内部存储器的第 0 页，并跳转到内部地址 0x0000。从主机接口的观点看，一个外部主机具有对 DSP 的存储映射的完全控制。主机可以自由地直接写内部存储器，外部存储器，以及内部 I/O 存储空间。DSP 内核的执行一直保持停止，直到主机清除信号寄存器。这个策略为主机提供了在程序和数据代码中引导的最大灵活性，全由程序员来掌握。
- 从外部存储器 8 位（无引导）开始执行——执行从外部存储空间的第 1 页开始，将 8 位或 16 位的外部数据打包成 24 位的内部数据。外部端口接口配置为默认的时钟倍频（128）和读等待状态（7）。
- 从 UART 引导——利用自动波特率握手序列，主机下载引导流格式化的程序。主机代理程序在 UART 的时钟能力范围内选择一个波特率。硬件复位后，DSP 的 UART 发送 0xFF（8 位数据，一个起始位，一个停止位，无校验位），直到检测到第一个存储区域的起始。UART 引导程序位于内部 ROM 存储空间，使用程序存储器第 0 页的顶端 16 个单元和数据存储器第 0 页的顶端 272 个单元。
- 从 SPI 引导，最高到 4K 位——SPI0 端口使用 SPI0SEL（重新配置为 PF2）输出引脚来选择一个串行 EPROM 设备，在地址 0x00 提交一个读命令，并开始连续的时钟驱动，将数据送入内部或外部存储器。仅可使用 SPI 兼容的≤4K 位（12 位地址范围）的 EPROM。SPI0 引导程序位于内部存储空间，执行引导流格式化的程序，使用程序存储器第 0 页的顶端 16 个单元和数据存储器第 0 页的顶端 272 个单元。

SPI 引导配置为 SPIBAUD0=60（十进制），CPHA=1，CPOL＝1，8 位数据，MSB 在先。

- 从 SPI 引导，从>4K 位到 512K 位——SPI0 端口使用 SPI0SEL1（重新配置为 PF2）输出引脚来选择一个串行 EPROM 设备，在地址 0x00 提交一个读命令，并开始连续的时钟驱动，将数据送入内部或外部存储器。仅可使用 SPI 兼容的≥4K 位（16 位地址范围）的 EPROM。SPI0 引导程序位于内部存储空间，执行引导流格式化的程序，使用程序存储器第 0 页的顶端 16 个单元和数据存储器第 0 页的顶端 272 个单元。

总线申请和总线授权

ADSP-2191 能够将对数据和地址总线的控制释放给外部设备。当外部设备要求访问总线时，便使总线申请（BR）信号有效。该（BR）信号根据内核和外设申请仲裁。外部总线申请有最低的优先级。如果没有悬挂的其他的内部申请，外部总线申请将被授权。因为同步器和仲裁延迟，总线授权将在最少 3 个外设时钟的延迟后发生。ADSP-2191 将响应总线授权于：

- 三态数据和地址总线和 MS3-0，BMS，IOMS，RD，和 WR 输出驱动器。
- 总线授权（BG）信号有效。

如果总线授权给外部设备，ADSP-2191 会停止程序执行，并且，对外部通用或外设存储空间执行取指令或数据读/写请求。如果指令要求两次外部存储器读访问，那么在两次访问之间，总线不会被授权。如果指令要求一次外部存储器读和一次外部存储器写访问，那么在两次访问之间，总线可以被授权。外部存储器接口能够这样配置，使得内核具有对接口的唯一的使用权。DMA 和总线申请将被授权。当外部设备释放 BR，DSP 释放 BG 并从停止处继续执行程序。

总线申请特征在所有时刻都起作用，甚至是 DSP 引导时和 RESET 有效时。

当 ADSP-2191 准备就绪要开始另外一个外部端口访问时，会使 BGH 引脚有效，但是会由于总线先前被授权而保持无效。这种机制能够被拓展，以定义更多的复杂的仲裁协议，用于实现更复杂精确的多控制器系统。

指令集描述

ADSP-2191 汇编语言指令集具有代数语法，使得易于编写和阅读代码。汇编语言，尽用了处理器的独特体系结构，有如下好处：

- ADSP-219x 汇编语言语法是 ADSP-218x 家族语法的扩展集，并且与之原码兼容（除了两个数据寄存器和 DAG 基址寄存器）。为了适应 ADSP-2191 的统一的存储空间和符合其中断向量映射，必须重新调整 ADSP-218x 的程序结构。
- 代数语法消除了记忆含义模糊的汇编器助记符的需要。举个例子，一个典型的算数加指令，例如 AR=AX0+AY0，类似于一个简单的等式。
- 每条指令，而不是两条，汇编为一个 24 位的单字，可以在单指令周期内执行。两条双字指令是例外。一个是将 16 位或 24 位的立即数写入存储器，另一个是绝对跳转/调用至指令中指定的 24 位地址。
- 多功能指令允许并行执行算数、MAC 或移位指令，同时在单指令周期内两次取或一次写处理器存储空间。
- 程序流程指令支持更多种类的条件和非条件跳转/调用，以及一套更多的条件，条件指令就是建立在这些条件的基础之上的。

开发工具

ADSP-2191由一整软件和硬件开发工具，包括模拟器件公司的仿真器和VisualDSP++®开发环境。支持其他ADSP-219x DSP的同样的仿真器硬件，也完全可以仿真ADSP-2191。

VisualDSP++项目管理环境使得程序员可以开发和调试应用。这个环境包括一个易用的基于代数语法的汇编器；一个档案管理器（库管理程序/库编译器），一个连接器，一个装载器，一个周期精确的指令级的仿真器，一个C/C++编译器，和一个包含DSP和数学函数的C/C++运行库。这些工具有两个关键点：

- 编译的 ADSP-219x C/C++代码效率——编译器已经开发成为可以高效地将 C/C++代码翻译为 ADSP-219x 汇编。DSP 具有提高编译的 C/C++代码效率的体系结构上的特征。
- ADSP-218x 家族代码兼容性——汇编器具备遗传特征，使得已有的 ADSP-218x 应用向 ADSP-219x 的转换变得简单易行。

使用VisualDSP++调试器调试C/C++和汇编程序，程序员能够：

- 查看混合的 C/C++合汇编代码（交叉存取得源

和目标信息）

- 插入断点
- 在寄存器、存储器和堆栈处设置条件断点
- 跟踪指令的执行
- 实现线性的或统计的程序执行的轮廓
- 填充、清除和图形描绘存储器中的内容
- 源级调试
- 创建用户调试窗口

VisualDSP++ IDE使得程序员可以定义和管理DSP软件开发。其对话框和属性页使得程序员可以配置和管理所有的ADSP-219x开发工具，包括在VisualDSP++编辑器中的语法高亮提示。这个能力允许：

- 控制开发工具如何处理输入和产生输出
- 维持与工具的命令行开关一一对应的关系

模拟器件公司的 DSP 仿真器使用了 ADSP-2191 处理器的 IEEE 1149.1 JTAG 测试访问端口，以在仿真过程中监视和控制目标板处理器。仿真器提供了全速的仿真，允许检验和修改存储器、寄存器和处理器堆栈。非介入式的电路内部仿真由于使用了处理器的 JTAG 接口而得到保证——仿真器不会影响目标系统的装载或者计时。

除了 Analog Devices 提供的硬软件开发工具之外，第三方提供了很多工具支持 ADSP-219x 处理器家族。硬件工具包括 ADSP-219x PC 插入式板卡。第三方软件工具包括 DSP 库文件、实时运行系统和框图设计工具。

设计一个仿真器兼容的 DSP 板（目标板）

白山 DSP（模拟器件公司的产品线）仿真器家族是每一个 DSP 开发人员所需要的，可以用来测试和调试软硬件系统。模拟器件公司在每一个 JTAG DSP 上提供了一个 IEEE1149.1 JTAG 测试存取端口（TAP）。仿真器使用 TAP 来访问 DSP 内部，允许开发人员装载代码、设置断点、查看变量、查看存储器、测试寄存器。DSP 必须停止运行以发送数据和命令，但是一旦仿真器完成一项操作，DSP 系统就投入到全速运行，对系统计时没有任何影响。

为了使用这些仿真器，目标板的设计必须包含模拟器件公司 JTAG DSP 和用户 DSP 目标板仿真头之间的接口。

目标板连接器

仿真器与 ADI JTAG DSP 的接口是一个 14 针的端子，如图 6 所示。用户必须在其目标板上提供这个端子，以便与仿真器通讯。接口由一个标准双排 0.025”方柱端子构成，占用 0.1”×0.1”的空间，接线柱最小长度为 0.235”。3 脚是关键位置，用于防止插槽被反插。在目标板上，这个引脚必须被剪断。

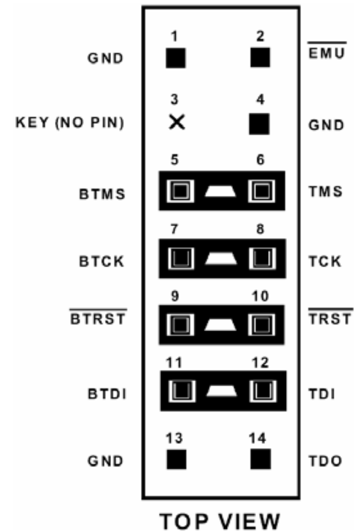


图 6 配有 JTAG 的模拟器件公司 DSP 的 JTAG 目标板连接器（跳线已连接）

而且，端子周围的间距（长度、宽度和高度）必须考虑。在端子的长边和宽边至少要留有 0.15”和 0.10”的间距，并且要留出一定的高度间距来连接和断开插槽连接器。

如图 6 所示，端子上有两套信号，有用于仿真（通过仿真器）的标准 JTAG 信号 TMS、TCK、TDI、TDO、TRST 和 EMU，还有可选的用于板子级（边界扫描）测试的次级 JTAG 信号 BTMS、BTCK、BTDI 和 BTRST。

当仿真器没有连接到这个连接器上时，将跳线跳至 BTMS、BTCK、BTRST 和 BTDI，如图 7 所示。这样，JTAG 信号可以保持在正确的状态，允许 DSP 的自由运行。当仿真器连接到 JTAG 端子上时，需去掉所有的跳线。

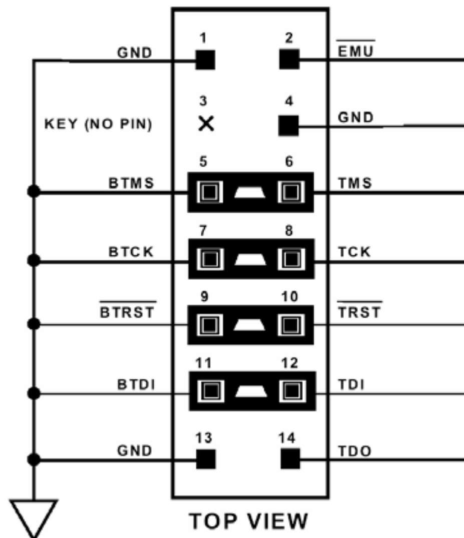


图7 无局部界线扫描的JTAG 目标板连接器

JTAG 仿真器插槽连接器

图8详细给出了14针目标板终端处的JTAG插槽连接器的尺寸。图 11 显示了目标板端子的外围区域。外围区域允许插槽连接器可以正确地插到目标板端子上。这一区域应当没有元器件（芯片、电阻、电容，等等）。所给的尺寸是以0.25”的方柱引脚的中心为参照。

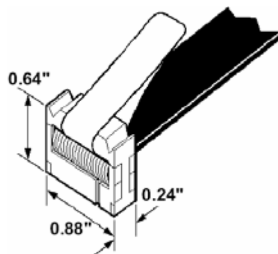


图8 JTAG 插槽连接器尺寸

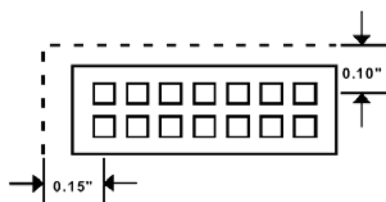


图9 JTAG 插槽连接器外围区域

仿真设计电路信息

关于目标板设计的细节，出版的资料包括：单处理器连接，多处理器扫描链，信号缓冲，信号终止，以及仿真器插槽逻辑，请参见 EE-68：模拟器件公司网站（www.analog.com）上的*模拟器件公司 JTAG 仿真技术指南*——对“EE-68”进行站点搜索。这个文档会有规律的更新，与仿真器支持的改进同步。

附加信息

这个数据手册给出了 ADSP-2191 的体系结构和功能的概况。需要关于 ADSP-219x 家族 DSP 内核体系结构和指令集的详细信息，请参见 *ADSP-219x/2191 DSP 硬件指南*。

引脚描述

ADSP-2191引脚定义如表7所示。ADSP-2191的所有输入都是异步的，而且可以异步维持为CLKIN（或者为了TRST维持为TCK）。

未使用的引脚应当连到或者拉到V_{DDEXT}或者GND，除了ADDR21-0、DATA15-0、PF7-0和具有内部上拉或下拉电阻的输入（TRST、BMODE0、BMODE1、BMODE2、BYPASS、TCK、TMS、TDI和RESET）——这些引脚可以悬空。这些引脚具有逻辑电平保持电路，从内部防止输入的漂移。

在表7的类型列中出现的符号：G＝地，I＝输入，O＝输出，P＝电源，以及T＝三态。

引脚	类型	功能
A21–0	O/T	外部端口地址总线
D7–0	I/O/T	外部端口地址总线，低 8 位
D15 /PF15 /SPI1SEL7	I/O/T I/O I	数据 15（如果 16 位外部总线）/可编程标志 15（如果 8 位外部总线）/SPI1 从属选择输出 7（如果 8 位外部总线，当 SPI1 使能时）
D14 /PF14 /SPI0SEL7	I/O/T I/O I	数据 14（如果 16 位外部总线）/可编程标志 14（如果 8 位外部总线）/SPI0 从属选择输出 7（如果 8 位外部总线，当 SPI0 使能时）
D13 /PF13 /SPI1SEL6	I/O/T I/O I	数据 13（如果 16 位外部总线）/可编程标志 13（如果 8 位外部总线）/SPI1 从属选择输出 6（如果 8 位外部总线，当 SPI1 使能时）
D12 /PF12 /SPI0SEL6	I/O/T I/O I	数据 12（如果 16 位外部总线）/可编程标志 12（如果 8 位外部总线）/SPI0 从属选择输出 6（如果 8 位外部总线，当 SPI0 使能时）
D11 /PF11 /SPI1SEL5	I/O/T I/O I	数据 11（如果 16 位外部总线）/可编程标志 11（如果 8 位外部总线）/SPI1 从属选择输出 5（如果 8 位外部总线，当 SPI1 使能时）
D10 /PF10 /SPI0SEL5	I/O/T I/O I	数据 10（如果 16 位外部总线）/可编程标志 10（如果 8 位外部总线）/SPI0 从属选择输出 5（如果 8 位外部总线，当 SPI0 使能时）
D9 /PF9 /SPI1SEL4	I/O/T I/O I	数据 9（如果 16 位外部总线）/可编程标志 9（如果 8 位外部总线）/SPI1 从属选择输出 4（如果 8 位外部总线，当 SPI1 使能时）
D8 /PF8 /SPI0SEL4	I/O/T I/O I	数据 8（如果 16 位外部总线）/可编程标志 8（如果 8 位外部总线）/SPI0 从属选择输出 4（如果 8 位外部总线，当 SPI0 使能时）
PF7 /SPI1SEL3 /DF	I/O/T I I	可编程标志 7/SPI1 从属选择输出 3（当 SPI0 使能时）/分频器（引导过程中 PLL 输入的分频器选择）
PF6 /SPI0SEL3 /MSEL6	I/O/T I I	可编程标志 6/SPI0 从属选择输出 3（当 SPI0 使能时）/倍频器选择 6（引导过程中）
PF5 /SPI1SEL2 /MSEL5	I/O/T I I	可编程标志 5/SPI1 从属选择输出 2（当 SPI0 使能时）/倍频器选择 5（引导过程中）
PF4 /SPI0SEL2 /MSEL4	I/O/T I I	可编程标志 4/SPI0 从属选择输出 2（当 SPI0 使能时）/倍频器选择 4（引导过程中）
PF3 /SPI1SEL1 /MSEL3	I/O/T I I	可编程标志 3/SPI1 从属选择输出 1（当 SPI0 使能时）/倍频器选择 3（引导过程中）

PF2 /SPI0SEL1 /MSEL2	I/O/T I I	可编程标志 2/SPI0 从属选择输出 1（当 SPI0 使能时）/倍频器选择 2（引导过程中）
PF1 /SPISS1 /MSEL1	I/O/T I I	可编程标志 1/SPI1 从属选择输入（当 SPI1 使能时）/倍频器选择 1（引导过程中）
PF0 /SPISS0 /MSEL0	I/O/T I I	可编程标志 0/SPI0 从属选择输入（当 SPI0 使能时）/倍频器选择 0（引导过程中）
RD	O/T	外部端口读选通
WR	O/T	外部端口写选通
ACK	I	外部端口访问就绪确认
BMS	O/T	外部端口引导空间选择
IOMS	O/T	外部端口 IO 空间选择
MS3-0	O/T	外部端口存储空间选择
BR	I	外部端口总线申请
BG	O	外部端口总线授权
BGH	O	外部端口总线授权悬挂
HAD15-0	I/O/T	主机端口复用的地址和数据总线
HA16	I	主机端口地址总线的 MSB
HACK_P	I	主机端口 ACK 极性
HRD	I	主机端口读选通
HWR	I	主机端口写选通
HACK	O	主机端口访问就绪确认
HALE	I	主机端口地址锁存选通或者地址周期控制
HCMS	I	主机端口内部存储器－内部 I/O 存储器－引导存储器选择
HCIOMS	I	主机端口内部 I/O 存储器选择
CLKIN	I	时钟输入/晶振输入
XTAL	O	晶振输出
BMODE1-0	I	引导模式 1-0。BMODE1 和 BMODE0 引脚有 85kΩ 内部上拉电阻。
OPMODE	I	运行模式。OPMODE 引脚有一个 85kΩ 内部上拉电阻。
CLKOUT	O	时钟输出
BYPASS	I	锁相环（PLL）旁路模式。BYPSS 引脚有一个 85kΩ 内部上拉电阻。
RCLK1-0	I/O/T	SPORT1-0 接收时钟
RCLK2/SCK1	I/O/T	SPORT2 接收时钟/SPI1 串行时钟
RFS1-0	I/O/T	SPORT1-0 接收帧同步
RFS2/MOSI1	I/O/T	SPORT2 接收帧同步/SPI1 主控制器输出，从属输入数据
TCLK1-0	I/O/T	SPORT1-0 发送时钟
TCLK2/SCK0	I/O/T	SPORT2 发送时钟/SPI0 串行时钟
TFS1-0	I/O/T	SPORT1-0 发送帧同步
TFS2/MOSI0	I/O/T	SPORT2 发送帧同步/SPI1 主控制器输出，从属输入数据
DR1-0	I/T	SPORT1-0 串行数据接收
DR2/MISO1	I/O/T	SPORT2 串行数据接收/SPI1 主控制器输入，从属输出数据

DT1-0	O/T	SPORT1-0 串行数据发送
DT2/MISO0	I/O/T	SPORT2 串行数据发送/SPI0 主控制器输入，从属输出数据
TMR2-0	I/O/T	计时器输出或者捕获
RXD	I	UART 串行接收数据
TXD	O	UART 串行发送数据
RESET	I	处理器复位。将 ADSP-2191 复位到已知的状态并从硬件复位矢量地址指定的程序存储器单元开始执行。上电时，RESET 输入必须有效（低）。RESET 引脚有一个 85kΩ内部上拉电阻。
TCK	I	测试时钟（JTAG）。为 JTAG 边界扫描提供时钟。TCK 引脚有一个 85kΩ内部上拉电阻。
TMS	I	测试模式选择（JTAG）。用于控制测试状态机构。TMS 引脚有一个 85kΩ内部上拉电阻。
TDI	I	测试数据输入（JTAG）。为边界扫描逻辑提供串行数据。TDI 引脚有一个 85kΩ内部上拉电阻。
TDO	O	测试数据输出。边界扫描路径的串行扫描输出。
TRST	I	测试复位（JTAG）。将测试状态机构复位。为了 ADSP-2191 的正确运行，上电后 TRST 必须有效（低脉冲）或者保持低电平。TRST 引脚有一个 65kΩ内部下拉电阻。
EMU	O	仿真状态（JTAG）。必须只能连至 ADSP-2191 仿真器目标板的连接器上。
V_{DDINT}	P	内核电源。标称值为直流 2.5V，为 DSP 内核处理器供电。（4 个引脚）
V_{DDEXT}	P	I/O 电源；标称值为直流 3.3V。（9 个引脚）
GND	G	电源返回。（12 个引脚）
NC		无连接。保留引脚，必须开路，不能连接。

详述

推荐工作条件

参数	描述[1]	最小	最大	单位
V_{DDINT}	内部(内核)电源电压	2.37	2.63	V
V_{DDEXT}	外部(IO)电源电压	TBD	3.6	V
V_{IH1}	高电平输入电压[2]，@ V_{DDINT}＝max	2.0	V_{DDEXT}	V
V_{IH2}	高电平输入电压[3]，@ V_{DDINT}＝max	2.2	V_{DDEXT}	V
V_{IL}	低电平输入电压[2]，@ V_{DDINT}＝min	-0.3	0.6	V
T_{AMB}	环境工作温度	0	70	℃

注释：

[1] 如有变动，恕不声明。

[2]用于输入和双向引脚：DATA15–0， HAD15–0， HA16， HALE， HACK， HACK_P， BYPASS， HRD， HWR， ACK， PF7–0， HCMS，HCIOMS， BR， TFS0， TFS1， TFS2/MOSI0， RFS0， RFS1， RFS2/MOSI1， OPMODE， BMODE1–0， TMS， TDI， TCK， DT2/MISO0， DR0， DR1，DR2/MISO1， TCLK0， TCLK1， TCLK2/SCK0， RCLK0， RCLK1， RCLK2/SCK1。

[3]用于输入引脚：CLKIN，RESET，TRST。

电气特性

参数[1]	描述	测试条件	最小	典型	最大	单位
V_{OH}	高电平输出电压[2]	@V_{DDEXT}＝min，I_{OH}＝–0.5mA	2.4			V
V_{OL}	低电平输出电压[2]	@V_{DDEXT}＝min，I_{OL}＝2.0mA			0.4	V
I_{IH}	高电平输入电流[3, 4]	@V_{DDEXT}＝max，V_{IN}＝V_{DDmax}			TBD	μA
I_{IL}	低电平输入电流[2]	@V_{DDEXT}＝max，V_{IN}＝0V			TBD	μA
I_{INP}	高电平输入电流[5]	@V_{DDEXT}＝max，V_{IN}＝V_{DD}max			TBD	μA
I_{ILP}	低电平输入电流[3]	@V_{DDEXT}＝max，V_{IN}＝0V			TBD	μA
I_{OZH}	三态漏电流[6]	@V_{DDEXT}＝max，V_{IN}＝V_{DDmax}			10	μA
I_{OZL}	三态漏电流[5]	@V_{DDEXT}＝max，V_{IN}＝0V			10	μA
$I_{DD-IDLE1}$	电源电流（内核）空闲 1	锁相环启用，CCLK＝160MHz[7]		1		mA
$I_{DD-IDLE2}$	电源电流（内核）空闲 2	锁相环启用，HCLK＝80MHz，CCLK 禁止		1		mA

$I_{DD-TYPICLA}$	电源电流（内核）典型	HCLK＝80MHz，CCLK＝160MHz[7，8]		184		mA
$I_{DD-PEAK}$	电源电流（内核）峰值	HCLK＝80MHz，CCLK＝160MHz[7，8]		215		mA
$I_{DD-PERIPHERAL1}$	电源电流（内核）外设	锁相环启用，内核，HCLK禁止[7]		5		mA
$I_{DD-PERIPHERAL2}$	电源电流（内核）外设	HCLK＝80MHz，CLKIN 禁止[7]		60		mA
$I_{DD-POWERDOWN}$	电源电流（内核）	锁相环，内核，HCLK，CLKIN 禁止[7]		100		μA
C_{IN}	输入电容[9，10]	f_{IN}＝1MHz，T_{CASE}＝25°C，V_{IN}＝2.5V			TBD	pF

[1]如有变动，恕不声明。

[2]用于输出和双向引脚：DATA15–0，ADDR21–0，HAD15–0，MS3–0，IOMS，RD，WR，CLKOUT，HACK，PF7–0，TMR2–0，BGH，BG，DT0，DT1，DT2/MISO0，TCLK0，TCLK1，TCLK2/SCK0，RCLK0，RCLK1，RCLK2/SCK1，TFS0，TFS1，TFS2/MOSI0，RFS0，RFS1，RFS2/MOSI1，BMS，TDO，TXD，EMU。

[3]用于输入引脚：ACK，BR，HCMS，HCIOMS，OPMODE，BMODE1–0，HA16，HALE，HRD，HWR，CLKIN，RESET，TCK，TDI，TMS，TRST，DR0，DR1，BYPASS，RXD。

[4]用于具有内部上拉的输入引脚：BMODE0，BMODE1，OPMODE，BYPASS，TCK，TMS，TDI，RESET。

[5]用于具有内部下拉的输入引脚：TRST。

[6]用于可三态引脚：DATA15–0，ADDR21–0，MS3–0，RD，WR，PF7–0，BMS，IOMS，TFSx，RFSx，TDO，EMU。

[7]测试条件：@VDDINT=2。5V，TAMB=25ºC

[8]关于运行类型的定义请参见第52页的表23。

[9]用于所有的信号引脚。

[10]可保证，但未经测试。

绝对最大额定值

V_{DDINT} 内部（内核）电源电压 [1, 2]………………..-0.3V—3.0V
V_{DDEXT} 外部（I/O）电源电压……………..………-0.3V—4.6V
V_{IL}-V_{IH} 输入电压……………………… …-0.5V—V_{DDEXT}+0.5V
V_{OL}-V_{OH} 输出电压波动…………… ……-0.5V—V_{DDEXT}+0.5V
C_L 负载电容…………………..…………………………200pF
t_{CCLK} 内核时钟周期……………..…………………………6.25ns
f_{CCLK} 内核时钟频率……………..… ……………………160MHz
t_{HCLK} 外设时钟周期……………..……………………………10ns
f_{HCLK} 外设时钟频率……………..… ……………………100MHz
T_{STORE} 存储温度范围……………… ..……………-65℃—150℃
T_{LEAD} 引脚温度（5 秒）……………………………………185℃

[1] 如有变动，恕不声明。

[2] 超过上面列数值范围的施加值会导致器件的永久性损坏。这些数值仅仅是器件能承受的定额值；并不包含器件在这些定额值的功能性工况或超过本说明书明确的那些工作条件。器件在绝对最大定额下超时工作可能会影响器件的可靠性。

ESD 灵敏度

注意：

ESD（静电放电）敏感器件。人体和测试设备容易积累可高达 4000V 的静电电荷，并察觉不到其放电。尽管 ADSP-2191 具有独特的 ESD 保护电路，但面临高能量静电放电时，仍可能发生器件的永久性损坏。因此建议正确预防 ESD，以避免性能下降或功能损失。



计时详述

该节包含的计时信息是为DSP外部信号提供的。

时钟输入和时钟输出周期时序

表8和图10描述了时钟和复位操作。每个V_{DDINT}内部（内核）电源，第24页上的-0.3V～3.0V，CLKIN和时钟倍频器的组合，都不得选择超过160/100MHz的内核/外设时钟输入。

表8. 时钟输入和时钟输出周期时序

参数	描述	最小	最大	单位
开关特性				
t_{CKOD}	自 CLKIN 的 CLKOUT 延迟	0	5.8	ns
t_{CKO}	CLKOUT 周期 [1]	10		ns
时序要求				
t_{CK}	CLKIN 周期 [2、3]	6.25	200	ns
t_{CKL}	CLKIN 低脉冲	2.2		ns
t_{CKH}	CLKIN 高脉冲	2.2		ns
t_{WRST}	RESET 有效脉宽低	200t_{CLKOUT}		ns
t_{MSLS}	在 RESET 有效建立之前 MSELx/BYPASS 稳定	160		ns
t_{MSLH}	在 RESET 撤销保持之后 MSELx/BYPASS 稳定	1000		ns

[1]图10画出了×2比率，即CLKOUT=2×CLKIN（或t_{HCLK}=2×t_{CCLK}），但是比率有很多可编程的选择。如需详情，请参考*ADSP-219x/2191 DSP硬件指南*中的系统设计一章。

[2]在时钟倍频器模式和MEEL6-0设置为1:1（或CLKIN=CCLK）时，t_{CK}=t_{CCLK}。

[3]在旁路模式中t_{CK}=t_{CCLK}。

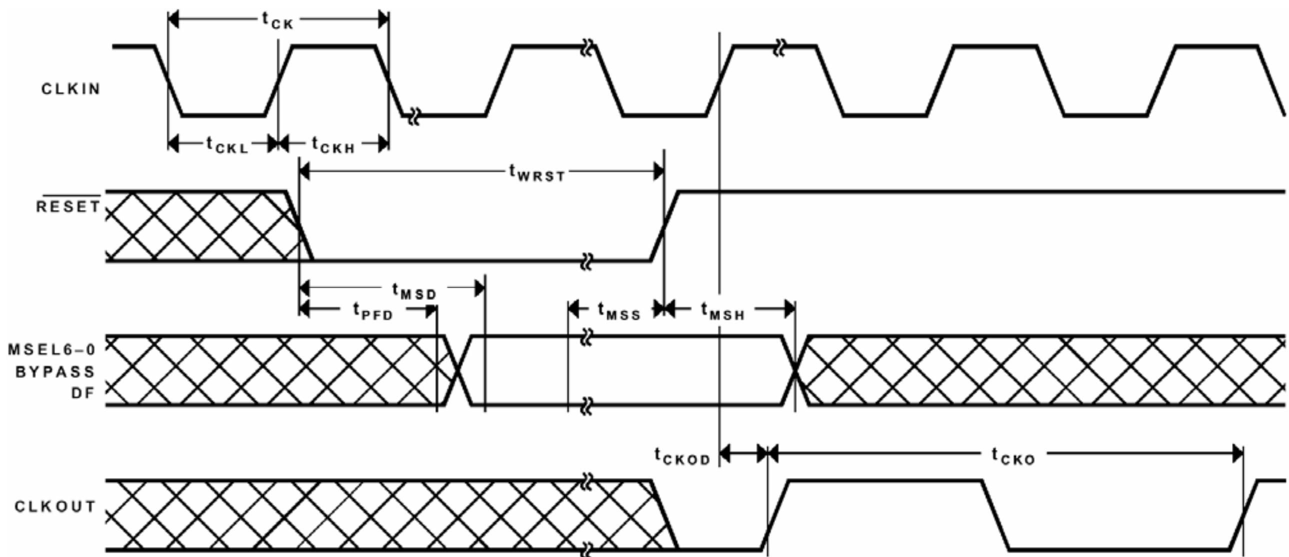


图10. 时钟输入和时钟输出周期时序

这些信息用于正在开发的产品。该产品的特性和说明可能会有所变化，恕不提前声明。美国模拟器件公司不承担有关将来生产的任何义务，除非另外书面同意。

可编程标志周期时序

表 9 和图 11 描述了可编程标志的运行情况。

表 **9.** 可编程标志周期时序

参数	描述	最小	最大	单位
开关特性				
t_{DFO}	标志输出相对于 HCLK 的延迟		3	ns
t_{HFO}	HCLK 变高电平后标志输出保持	TBD	TBD	ns
时序要求				
t_{HFI}	标志输入保持为异步	3		ns

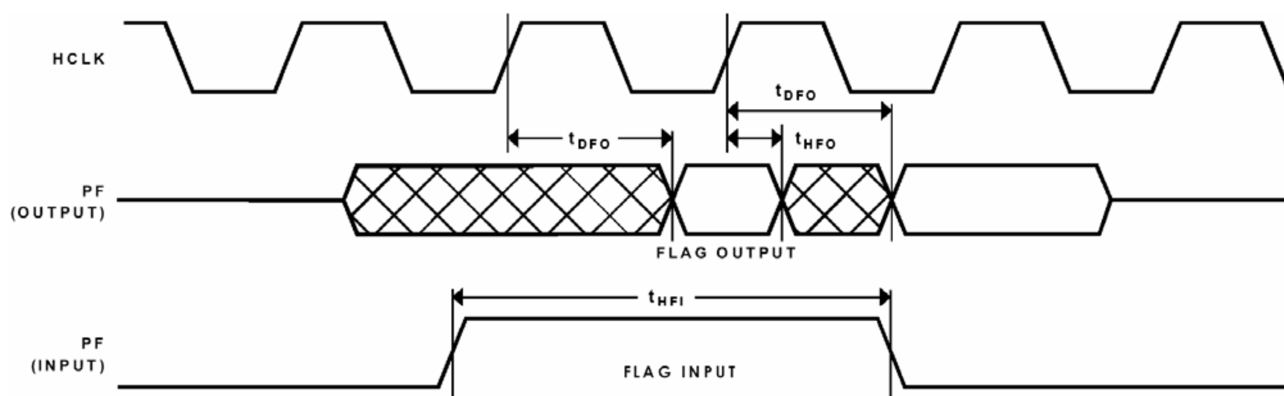


图11. 可编程标志周期时序

这些信息用于正在开发的产品。该产品的特性和说明可能会有所变化，恕不提前声明。美国模拟器件公司不承担有关将来生产的任何义务，除非另外书面同意。

计时器 PWM_OUT 周期时序

表 10 和图 12 描述了定时器过期的运行情况。输入信号为异步，处于“宽度捕获模式”，且具有的绝对最大输入频率为 50MHz。

表 **10.**　定时器 **PWM_OUT** 周期时序

参数	描述	最小	最大	单位
开关特性				
t_{HTO}	定时器脉宽输出 [1]	6.25	（2^{32}－1）周期	ns

[1] t_{HTO} 最小时间为一个周期，最大时间为(2^{32}－1)个周期。

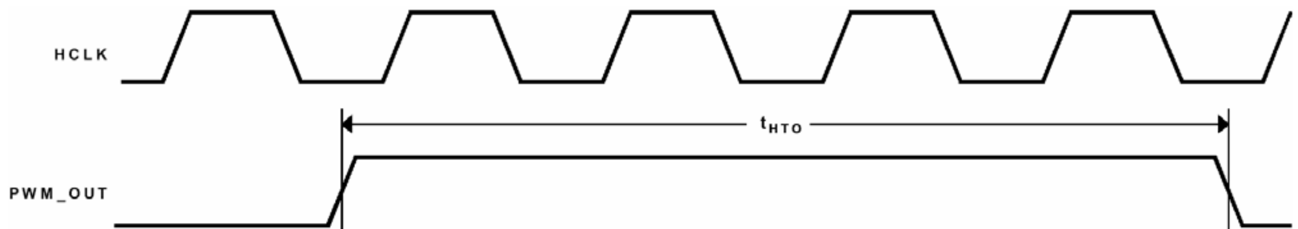


图12.　计时器PWM_OUT周期时序

外部端口写周期时序

表 11 和图 13 描述了外部端口的写操作。

外部端口使得系统通过三种方式扩展读写访问：等待状态，ACK 输入以及等待状态和 ACK 的组合。要用 ACK 增加等待，DSP 必须在 EMI 时钟的上升沿检测到 ACK 为低。ACK 低使得 DSP 等待，并且 DSP 需要是否低电平。ACK 低电平会使 DSP 等待，并且 DSP 需要是否低电平。ACK 低电平会使 DSP 等待，ACK 变成高电平之后，DSP 需要两个 EMI 周期才能结束访问操作。如需详情，请参考 *ADSP-219x/2191 DSP 硬件指南*中的外部端口一章。

表 11. 外部端口写周期时序

参数	描述 [1, 2, 3]	最小	最大	单位
开关特性				
t_{CWA}	EMI[4] 时钟低到 WR 有效的延迟		2.8	ns
t_{CSWS}	片选有效到 WR 撤销的延迟	4.3	6.5	ns
t_{AWS}	地址有效到 WR 建立及延迟	4.9	7.0	ns
t_{AKS}	ACK 有效到 EMI 时钟高的延迟	6.0		ns
t_{WSCS}	WR 撤销到片选撤销	4.8	7.0	ns
t_{WSA}	WR 撤销到地址无效	4.5	6.6	ns
t_{CWD}	EMI 时钟低到 WR 撤销的延迟	2.5	2.7	ns
t_{WW}	WR 选通脉宽	t_{HCLK}-0.5		ns
t_{CDA}	WR 到数据使能访问的延迟	1.5	4.1	ns
t_{CDD}	WR 到数据禁止访问的延迟	3.3	7.4	ns
t_{DSW}	数据有效到 WR 撤销建立	t_{HCLK}-1.4	t_{HCLK}+4.8	ns
t_{DHW}	WR 撤销到数据无效保持时间；wt_hold＝0	3.4	7.4	ns
t_{DHW}	WR 撤销到数据无效保持时间；wt_hold＝1	t_{HCLK}+3.4	t_{HCLK}+7.4	ns
时序要求				
t_{AKW}	ACK 选通脉宽	10.0		ns

[1] t_{HCLK} 是外设时钟周期。

[2] 这是基于最坏运行条件下的初步时序参数。

[3] 这些时序参数的衰减器负载为 20pF。

[4] EMI 时钟是由 EMI 时钟比率产生的外部端口时钟。这个信号无法在外部引脚获得，但是（大概）与 HCLK 一致（近似的时钟比率）。

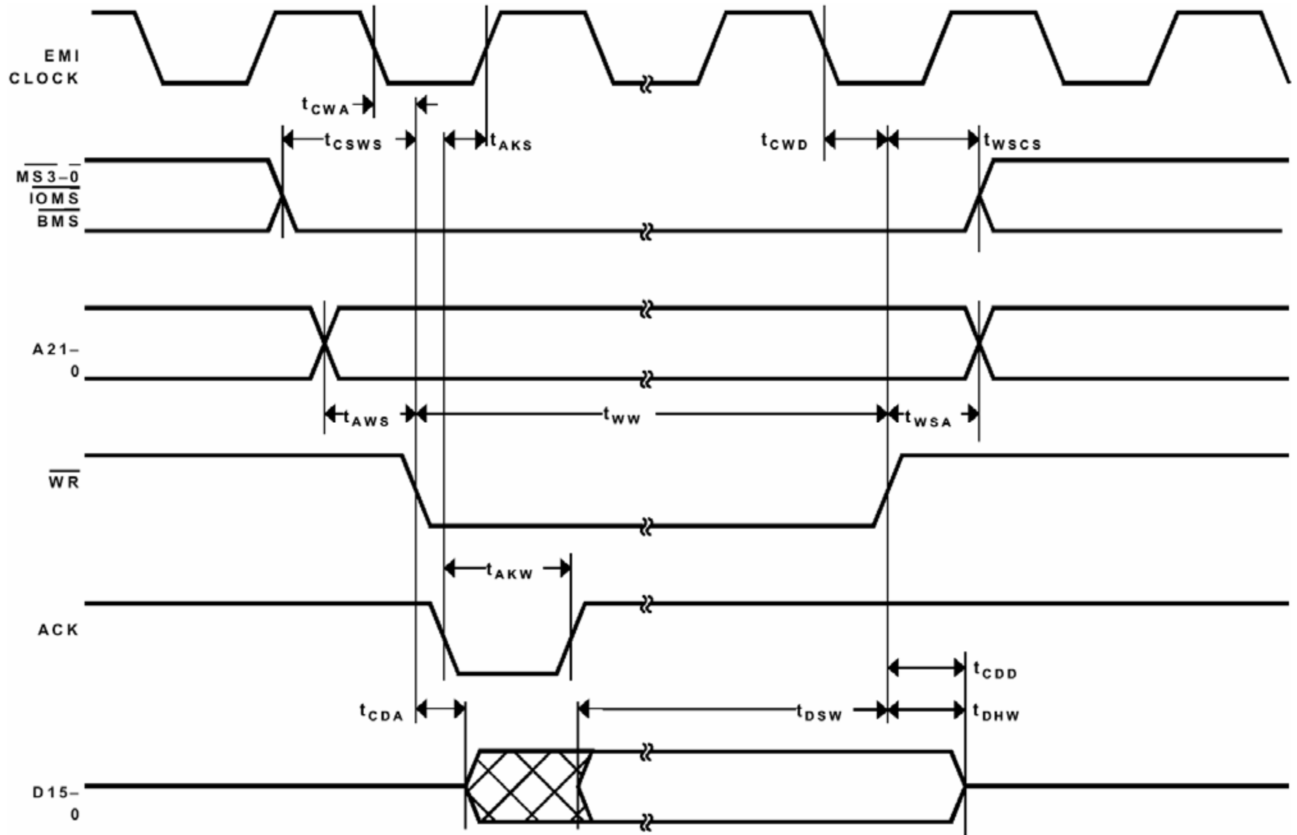


图13.　外部端口写周期时序

外部接口读时序

表 12 和图 14 描述了外部端口读操作。如需获得关于 ACK 信号的附加信息，请参考第 28 页。

表 12.　外部端口读周期时序

参数	描述[1, 2, 3]	最小	最大	单位
开关特性				
t_{CRA}	EMI[4] 时钟低到 RD 有效的延迟		2.8	ns
t_{CSRS}	片选有效到 RD 有效的延迟	4.3	6.5	ns
t_{ARS}	地址有效到 RD 建立及延迟	4.9	7.0	ns
t_{AKS}	ACK 有效到 EMI 时钟高的延迟	6.0		ns
t_{CRD}	EMI 时钟低到 RD 撤销的延迟	2.5	2.7	ns
t_{RSCS}	RD 撤销到片选撤销建立	4.8	7.0	ns
t_{RW}	RD 选通脉宽	t_{HCLK}-0.5		ns
t_{RSA}	RD 撤销到地址无效建立	4.5	6.6	ns
时序要求				
t_{AKW}	ACK 选通脉宽	10.0		ns
t_{CDA}	RD 到数据使能访问的延迟	0.0		ns
t_{RDA}	RD 有效到数据访问建立		t_{HCLK}-5.5	ns
t_{ADA}	地址有效到数据访问建立		t_{HCLK}-0.2	ns
t_{SDA}	片选有效到数据访问建立		t_{HCLK}-0.6	ns
t_{SD}	数据有效到 RD 撤销建立	1.8		ns
t_{HRD}	RD 撤销到数据无效保持	0.0		ns

[1] t_{HCLK} 是外设时钟周期。

[2] 这是基于最坏运行条件下的初步时序参数。

[3] 这些时序参数的衰减器负载为 20pF。

[4] EMI 时钟是由 EMI 时钟比率产生的外部端口时钟。这个信号无法在外部引脚获得，但是（大概）与 HCLK 一致（近似的时钟比率）。

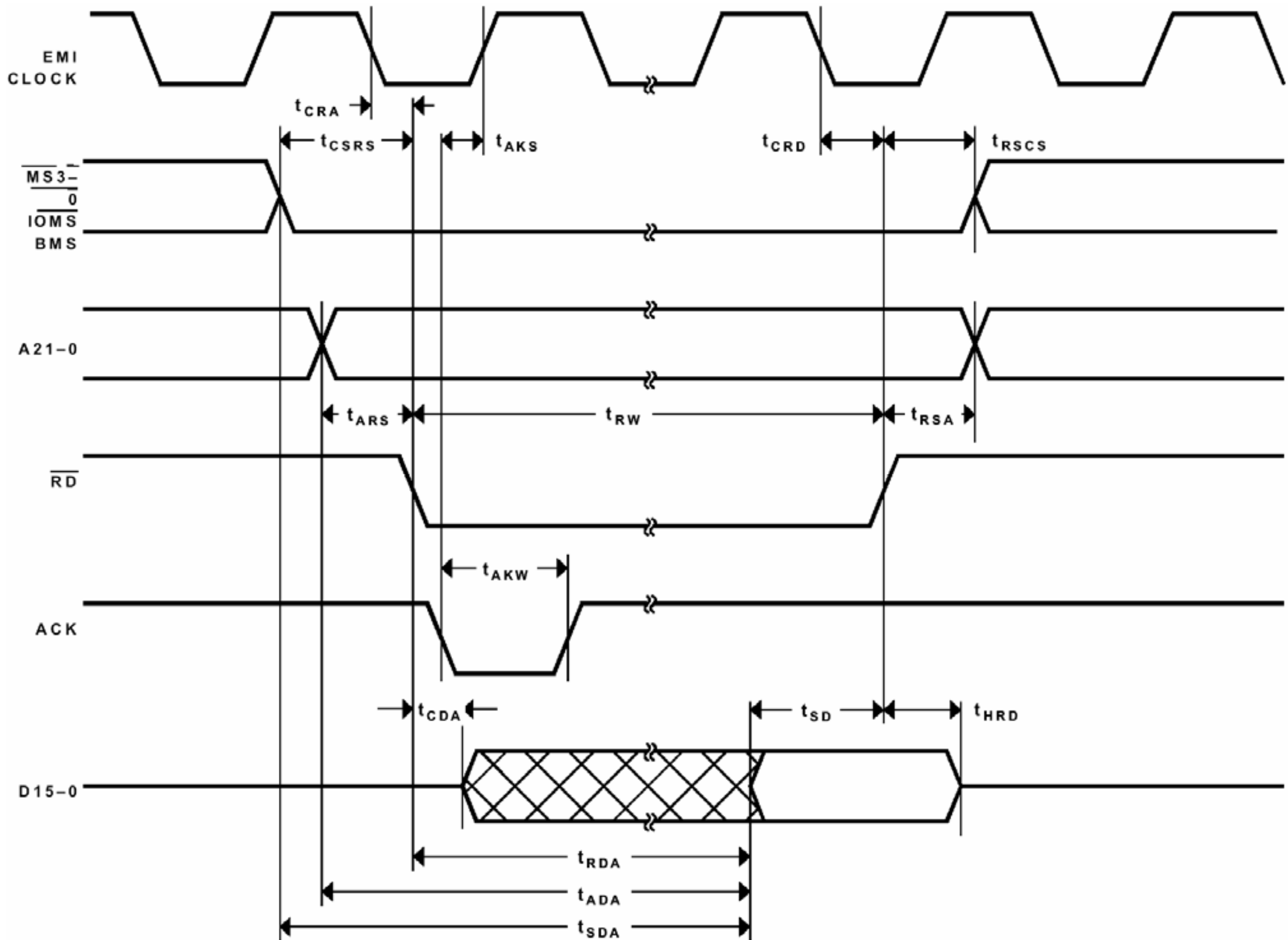


图 14. 外部端口读周期时序

外部端口总线申请和授权周期时序

表 13 和图 15 描述了外部端口总线申请与总线授权的运行。

表 13. 外部端口总线申请与授权的周期时序

参数	描述[1, 2, 3]	最小	最大	单位
开关特性				
t_{SD}	CLKOUT 高到 xMS，地址，RD/WR 禁止		4.3	ns
t_{SE}	CLKOUT 低到 xMS，地址，RD/WR 使能		4.0	ns
t_{DBG}	CLKOUT 高到 BG 有效建立		2.2	ns
t_{EBG}	CLKOUT 高到 BG 撤销保持时间		2.2	ns
t_{DBH}	CLKOUT 高到 BGH 有效建立		2.4	ns
t_{EBH}	CLKOUT 高到 BGH 撤销保持时间		2.4	ns
时序要求				
t_{BS}	BR 有效到 CLKOUT 高建立	4.6		ns
t_{BH}	CLKOUT 高到 BR 撤销保持时间	0.0		ns

[1] t_{HCLK} 是外设时钟周期。

[2] 这是基于最坏运行条件下的初步时序参数。

[3] 这些时序参数的衰减器负载为 20pF。

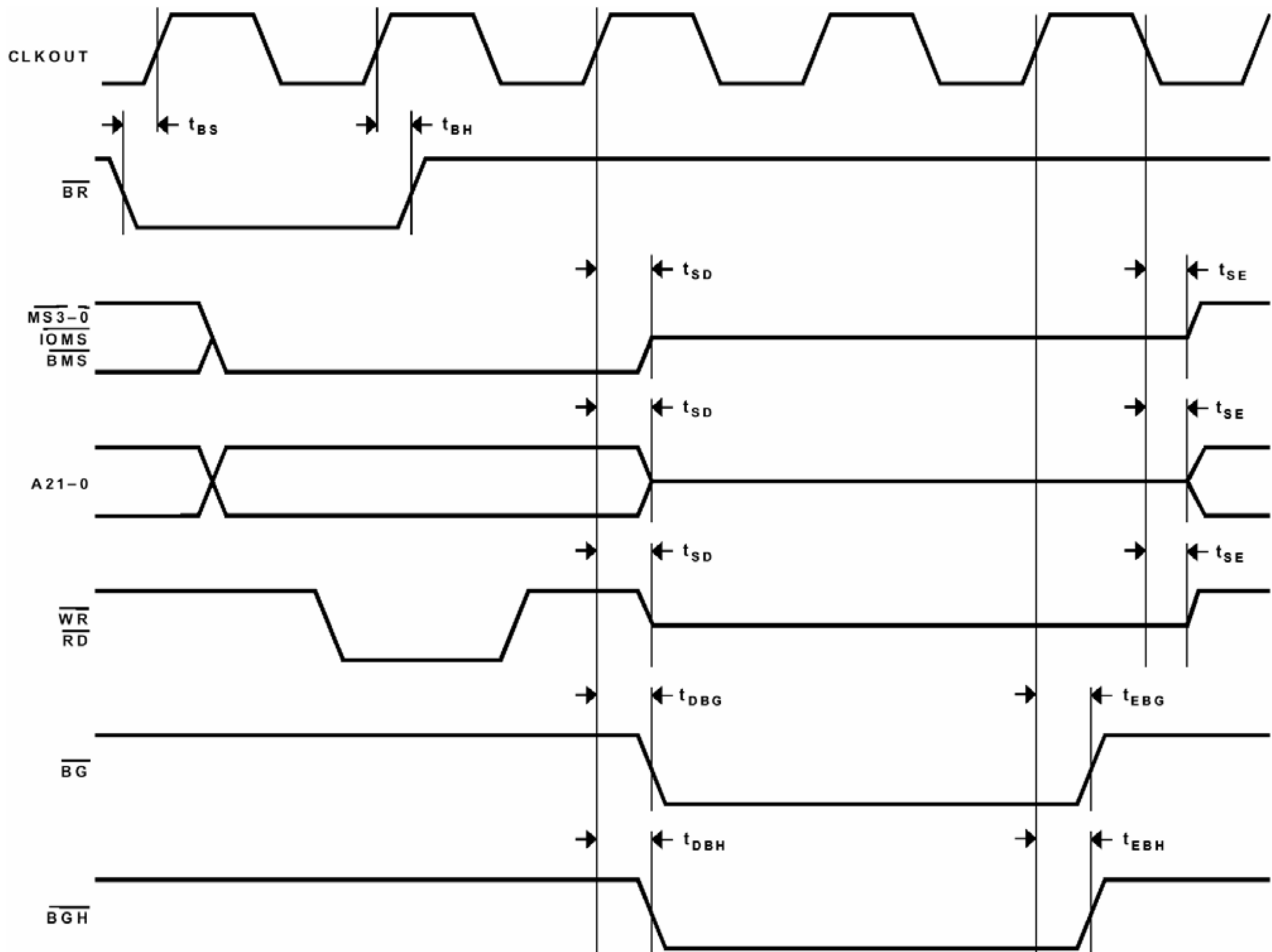


图15. 外部端口总线申请和授权周期时序

主机端口ALE模式写周期时序

表14和图16描述了主机端口在地址锁存使能模式的写操作。如需关于ACK、就绪、ALE和ACC模式选择的更多信息，请参见第10页的主机端口模式描述。

表 14.　主机端口 ALE 模式写周期时序

参数	描述	最小	最大	单位
开关特性				
t_{WHKS}	HWR 有效到 HACK 有效（建立，ACK 模式）	0.6	$0.6+t_{NH}$[1]	ns
t_{WHKH}	HWR 撤销到 HACK 撤销（保持，ACK 模式）		2	ns
t_{WHS}	HWR 有效到 HACK 有效（建立，就绪模式）		0.6	ns
t_{WHH}	HWR 撤销到 HACK 撤销（建立，就绪模式）		$2+t_{NH}$[1]	ns
时序要求				
t_{CSAL}	HCMS 或者 HCIOMS 有效到 HALE 有效	0		ns
t_{ALPW}	HALE 有效脉宽	4		Ns
t_{ALCSW}	HALE 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{WCSW}	HWR 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{ALW}	HALE 撤销到 HWR 有效	1		ns
t_{WCS}	HWR 撤销（最后一个字节之后）到 HCMS 或者 HCIOMS 撤销（为下一个写就绪）	1		ns
t_{HKWD}	HACK 有效到 HWR 撤销（保持，ACK 模式）	1.5		ns
t_{AALS}	地址有效到 HALE 撤销（建立）	4		ns
t_{ALAH}	HALE 撤销到地址无效（保持）	1.5		ns
t_{DWS}	数据有效到 HWR 撤销（建立）	4		ns
t_{WDH}	HWR 撤销到数据无效（保持）	1		ns

[1] t_{NH} 是外设总线延迟（$n\times t_{HCLK}$）；这些是内部 DSP 延迟，与试图在同一时间访问 DSP 存储器的外设的数量有关。

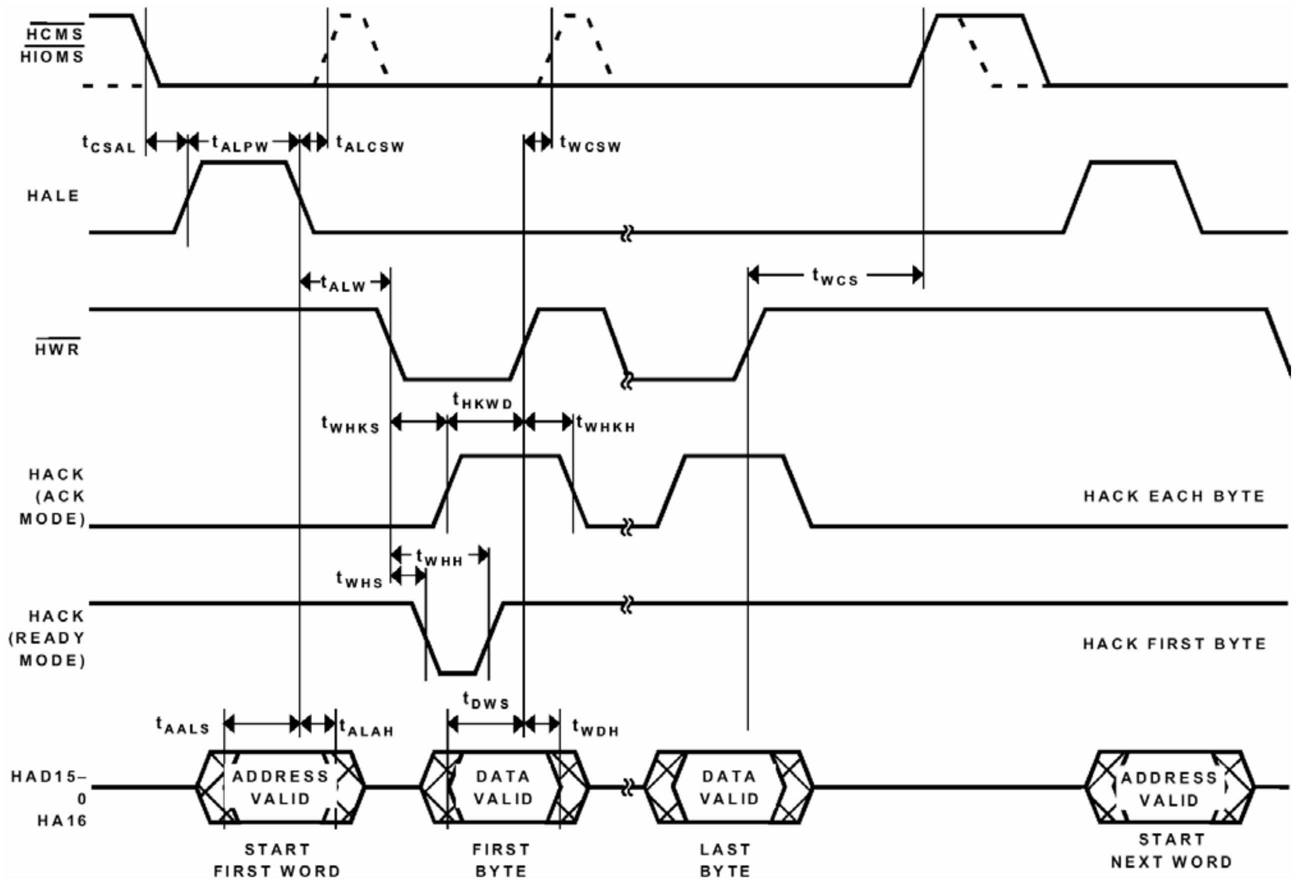


图 16. 主机端口 ALE 模式写周期时序

主机端口ACC模式写周期时序

表15和图17描述了主机端口在地址周期控制模式的写操作。如需关于ACK、就绪、ALE和ACC模式选择的更多信息，请参见第10页的主机端口模式描述。

表 15.　主机端口 ACC 模式写周期时序

参数	描述	最小	最大	单位
开关特性				
t_{WHKS}	HWR 有效到 HACK 有效（建立，ACK 模式）	0.6	$0.6+t_{NH}$[1]	ns
t_{WHKH}	HWR 撤销到 HACK 撤销（保持，ACK 模式）		2	ns
t_{WHS}	HWR 有效到 HACK 有效（建立，就绪模式）		0.6	ns
t_{WHH}	HWR 撤销到 HACK 撤销（建立，就绪模式）		$2+t_{NH}$[1]	ns
时序要求				
t_{WAL}	HCMS 有效到 HALE 有效（延迟）	1.5		ns
t_{CSAL}	HCMS 或者 HCIOM 有效到 HALE 有效（延迟）	0		Ns
t_{ALCS}	HALE 撤销到可选的 HCMS 或者 HCIOMS 撤销	1		ns
t_{WCSW}	HWR 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{ALW}	HALE 有效到 HWR 有效	0.5		ns
t_{CSW}	HCMS 或者 HCIOMS 有效到 HWR 有效	1	2	ns
t_{WCS}	HWR 撤销（最后一个字节之后）到 HCMS 或者 HCIOMS 撤销（为下一个写就绪）	1		ns
t_{ALEW}	HALE 撤销到 HWR 有效	1		ns
t_{HKWD}	HACK 有效到 HWR 撤销（保持，ACK 模式）	1.5		ns
t_{ADW}	地址有效到 HWR 有效（建立）	4		ns
t_{WAD}	HWR 撤销到地址无效（保持）	1		ns
t_{DWS}	数据有效到 HWR 撤销（建立）	4		ns
t_{WDH}	HWR 撤销到数据无效（保持）	1		ns

[1]t_{NH} 是外设总线延迟（$n\times t_{HCLK}$）；这些是内部 DSP 延迟，与试图在同一时间访问 DSP 存储器的外设的数量有关。

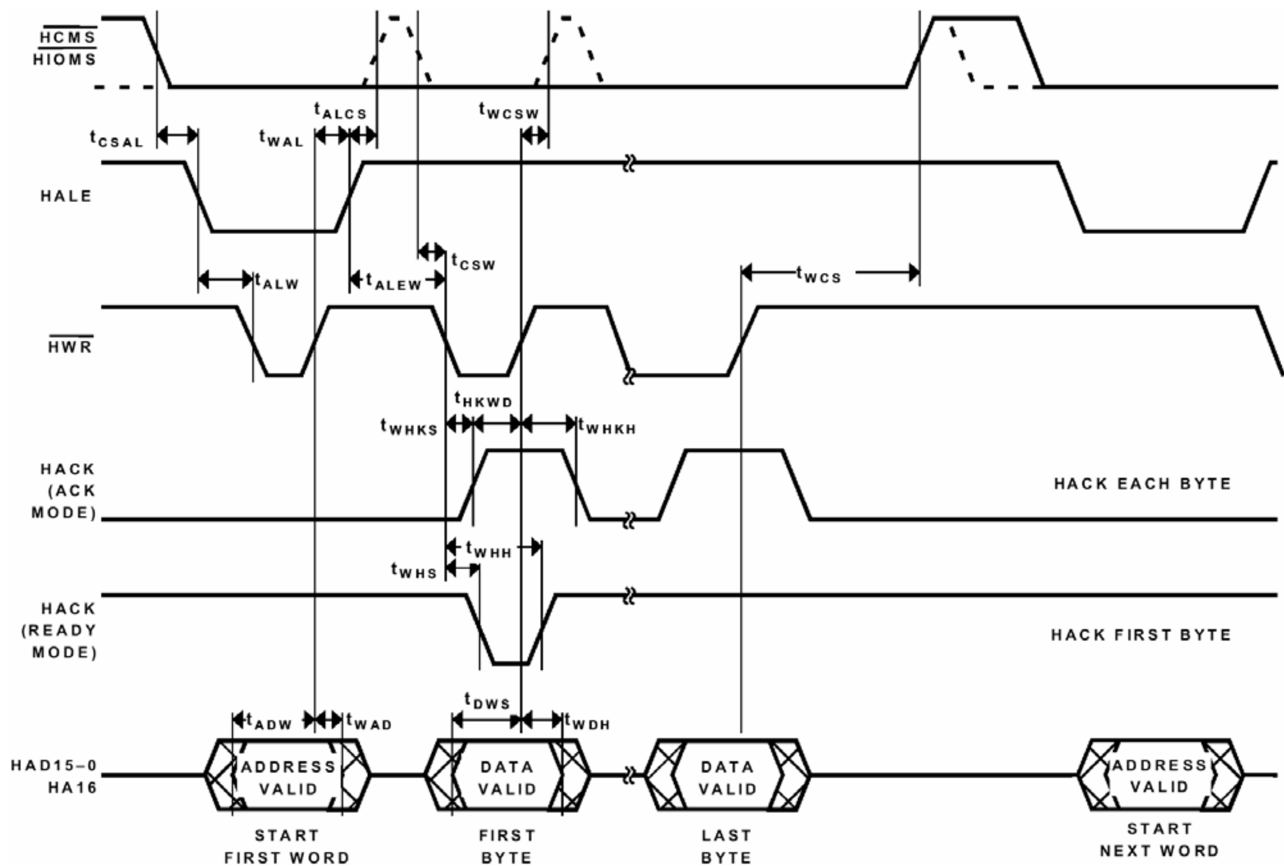


图 17. 主机端口 ACC 模式写周期时序

主机端口ALE模式读周期时序

表16和图18描述了主机端口在地址锁存使能模式的读操作。如需关于ACK、就绪、ALE和ACC模式选择的更多信息，请参见第10页的主机端口模式描述。

表 16. 主机端口 **ALE** 模式读周期时序

参数	描述	最小	最大	单位
开关特性				
t_{RHKS}	HRD 有效到 HACK 有效（建立，ACK 模式）	2	$2+t_{NH}$[1]	ns
t_{RHKH}	HRD 撤销到 HACK 撤销（保持，ACK 模式）		2	ns
t_{RHS}	HRD 有效到 HACK 有效（建立，就绪模式）		0.6	ns
t_{RHH}	HRD 撤销到 HACK 撤销（保持，就绪模式）		$2+t_{NH}$[1]	ns
时序要求				
t_{CSAL}	HCMS 或者 HCIOMS 有效到 HALE 有效（延迟）	0		ns
t_{ALCS}	HALE 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{RCSW}	HRD 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{ALR}	HALE 撤销到 HRD 有效	1		ns
t_{RCS}	HRD 撤销（最后一个字节之后）到 HCMS 或者 HCIOMS 撤销（为下一个写就绪）	1		ns
t_{ALPW}	HALE 有效脉宽	4		ns
t_{HKRD}	HACK 有效到 HRD 撤销（保持，ACK 模式）	1.5		ns
t_{AALS}	地址有效到 HALE 撤销（建立）	4		ns
t_{ALAH}	HALE 撤销到地址无效（保持）	1		ns
t_{RDH}	HRD 撤销到数据无效（保持）	1		ns

[1] t_{NH} 是外设总线延迟（n×t_{HCLK}）；这些是内部 DSP 延迟，与试图在同一时间访问 DSP 存储器的外设的数量有关。

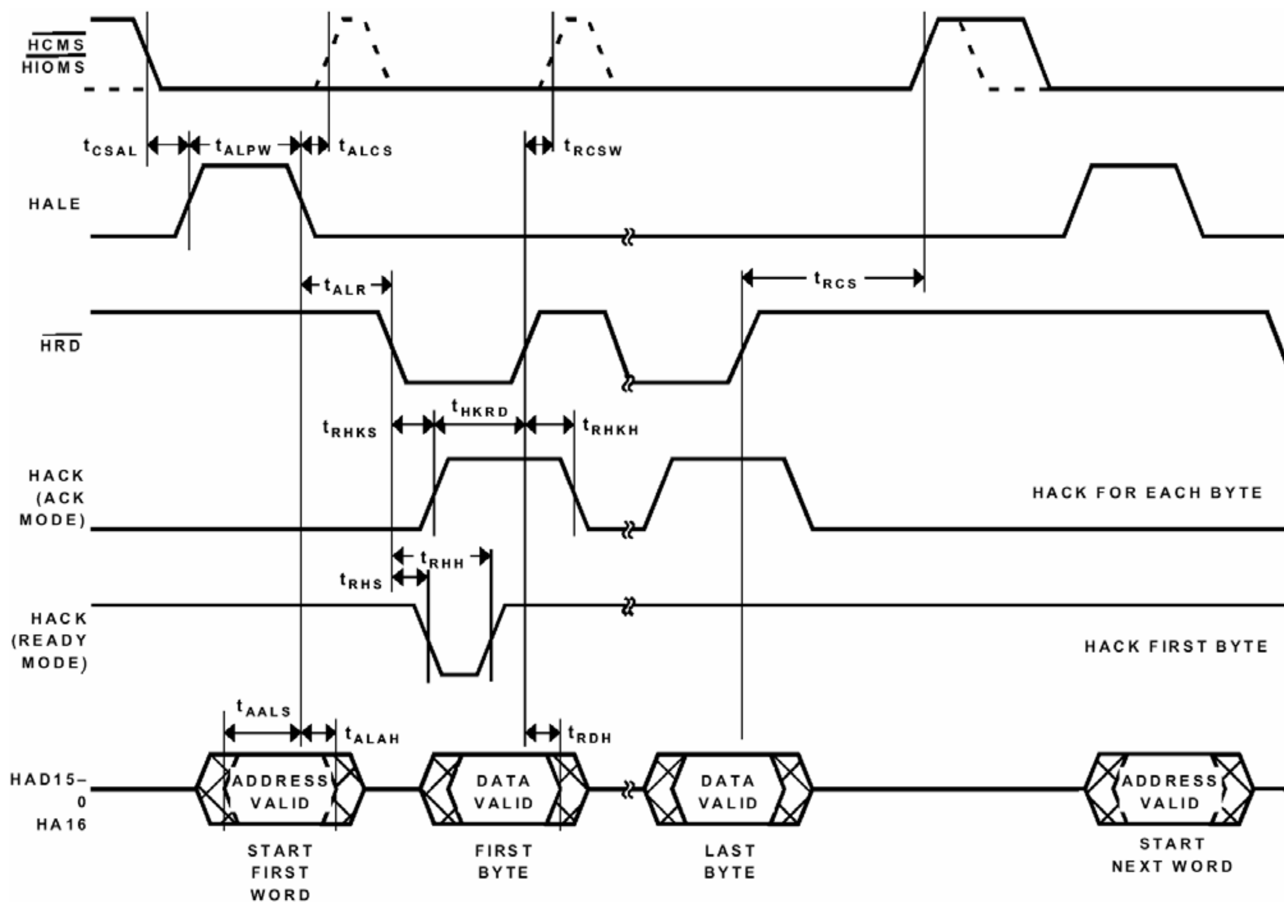


图 18. 主机端口 ACC 模式写周期时序

主机端口ACC模式读周期时序

表17和图19描述了主机端口在地址周期控制模式的写操作。如需关于ACK、就绪、ALE和ACC模式选择的更多信息，请参见第10页的主机端口模式描述。

表 17. 主机端口 ACC 模式写周期时序

参数	描述	最小	最大	单位
开关特性				
t_{RHKS}	HRD 有效到 HACK 有效（建立，ACK 模式）	0.6	$0.6+t_{NH}$[1]	ns
t_{RHKH}	HRD 撤销到 HACK 撤销（保持，ACK 模式）		2	ns
t_{RHS}	HRD 有效到 HACK 有效（建立，就绪模式）		0.6	ns
t_{RHH}	HRD 撤销到 HACK 撤销（保持，就绪模式）		$2+t_{NH}$[1]	ns
时序要求				
t_{CSAL}	HCMS 或者 HCIOM 有效到 HALE 有效（延迟）	0		Ns
t_{ALCS}	HALE 撤销到可选的 HCMS 或者 HCIOMS 撤销	1		ns
t_{RCSW}	HRD 撤销到 HCMS 或者 HCIOMS 撤销	1		ns
t_{ALW}	HALE 有效到 HWR 有效	0.5		ns
t_{ALER}	HALE 撤销到 HWR 有效			
t_{CSR}	HCMS 或者 HCIOMS 有效到 HRD 有效	1	2	ns
t_{RCS}	HRD 撤销（前一字节之后）到 HCMS 或者 HCIOMS 撤销（为下一个写就绪）	1		ns
t_{WAL}	HWR 撤销到 HALE 撤销（延迟）	1		ns
t_{HKRD}	HACK 有效到 HRD 撤销（保持，ACK 模式）	1.5		ns
t_{ADW}	地址有效到 HWR 撤销（建立）	4		ns
t_{WAD}	HWR 撤销到地址无效（保持）	1		ns
t_{RDH}	HRD 撤销到数据无效（保持）	1		ns

[1]t_{NH} 是外设总线延迟（n×t_{HCLK}）；这些是内部 DSP 延迟，与试图在同一时间访问 DSP 存储器的外设的数量有关。

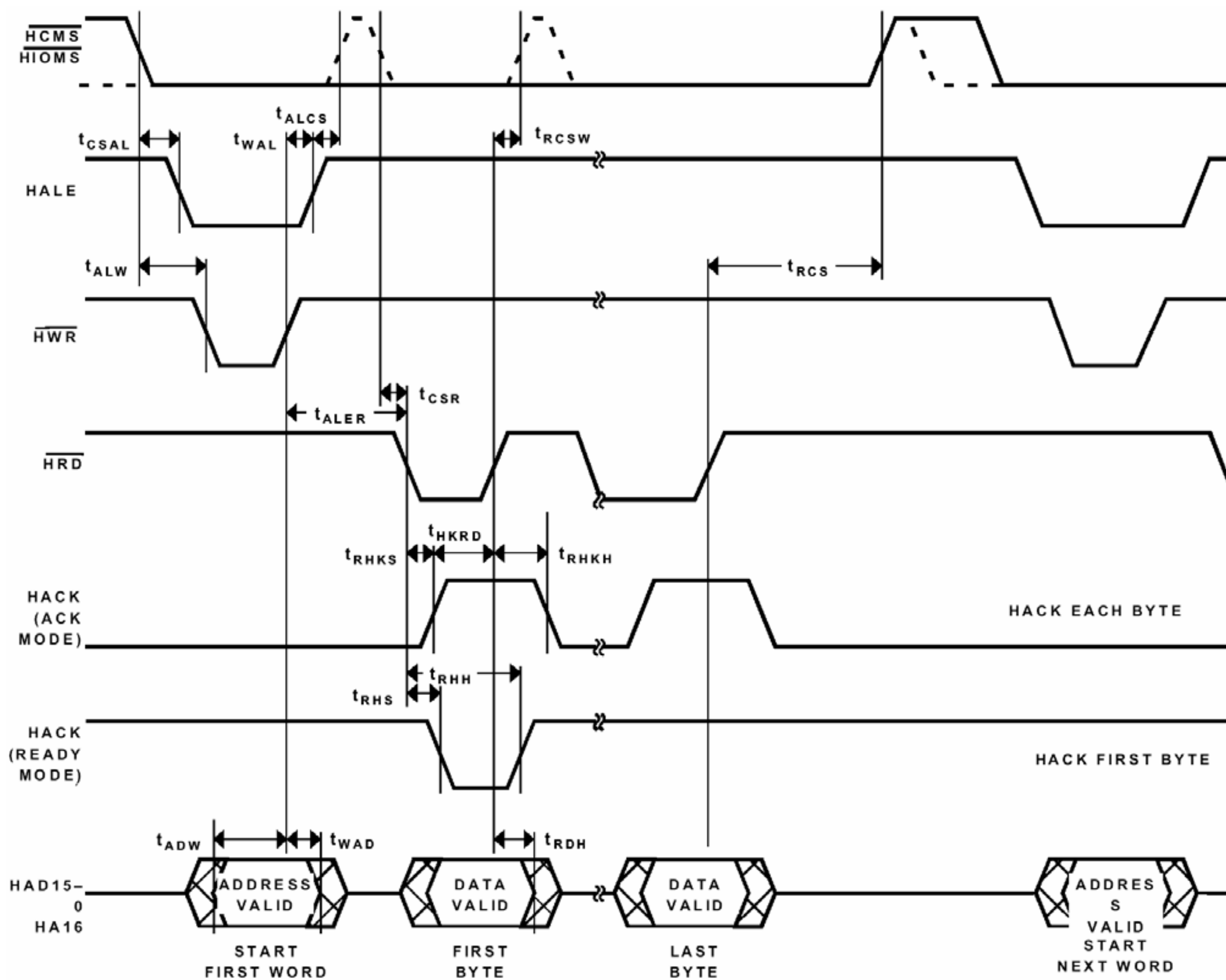


图 19.　主机端口 ACC 模式读周期时序

串行口（SPORT）时钟与数据时序

表 18 和图 20 描述了 SPORT 发送与接收操作。

表 18.　串行口（SPORT）时钟与数据时序

参数	说明	最小	最大	单位
开关特性				
t_{HOFSE}	RCLK 之后 RFS 的保持（内部产生 RFS）[2]	0	12.4	ns
t_{DFSE}	RCLK 之后 RFS 的延迟（内部产生 RFS）[2]	0	12.4	ns
t_{DDTEN}	TCLK 之后发送数据延迟 [2]	0	12.1	ns
t_{DDTTE}	外部 TCLK 到数据禁止 [2]	0	12.0	ns
t_{DDTIN}	内部 TCLK 到数据使能 [2]	0	6.8	ns
t_{DDTTI}	内部 TCLK 到数据禁止 [2]	0	6.3	ns
时序要求				
t_{SCLKIW}	TCLK/RCLK 宽度	20		ns
t_{SFSI}	TCLK/RCLK 之前 TFS/RFS 建立 [3]	-0.6		ns
t_{HFSI}	TCLK/RCLK 之后 TFS/RFS 保持 [3，4]	-0.3		ns
t_{SDRI}	RCLK 之前接收数据建立 [3]	-2.3		ns
t_{HDRI}	RCLK 之后接收数据保持 [3]	1.9		ns
t_{SCLKW}	TCLK/RCLK 宽度	20		ns
t_{SFSE}	TCLK/RCLK 之前 TFS/RFS 建立 [3]	-0.6		ns
t_{HFSE}	TCLK/RCLK 之后 TFS/RFS 保持 [3，4]	-0.6		ns
t_{SDRE}	RCLK 之前接收数据建立 [3]	-2.2		ns
t_{HDRE}	RCLK 之后接收数据保持 [3]	1.8		ns

[1] 要确定两个设备间能否在时钟速度 n 下通讯，要确保下面的几项要求：

1）　同步延迟、帧同步建立与保持，2）　数据延迟、数据建立与保持，3）SCLK 宽度。

[2] 以驱动沿为参考。

[3] 以采样沿为参考。

[4] 当 MCE＝1，MFD＝0 时，RCLK 之后的 RFS 保持时间距驱动沿最小为 0ns。TCLK 之后的对于迟到的外部 TFS 的 TFS 保持时间距驱动沿最小为 0ns。

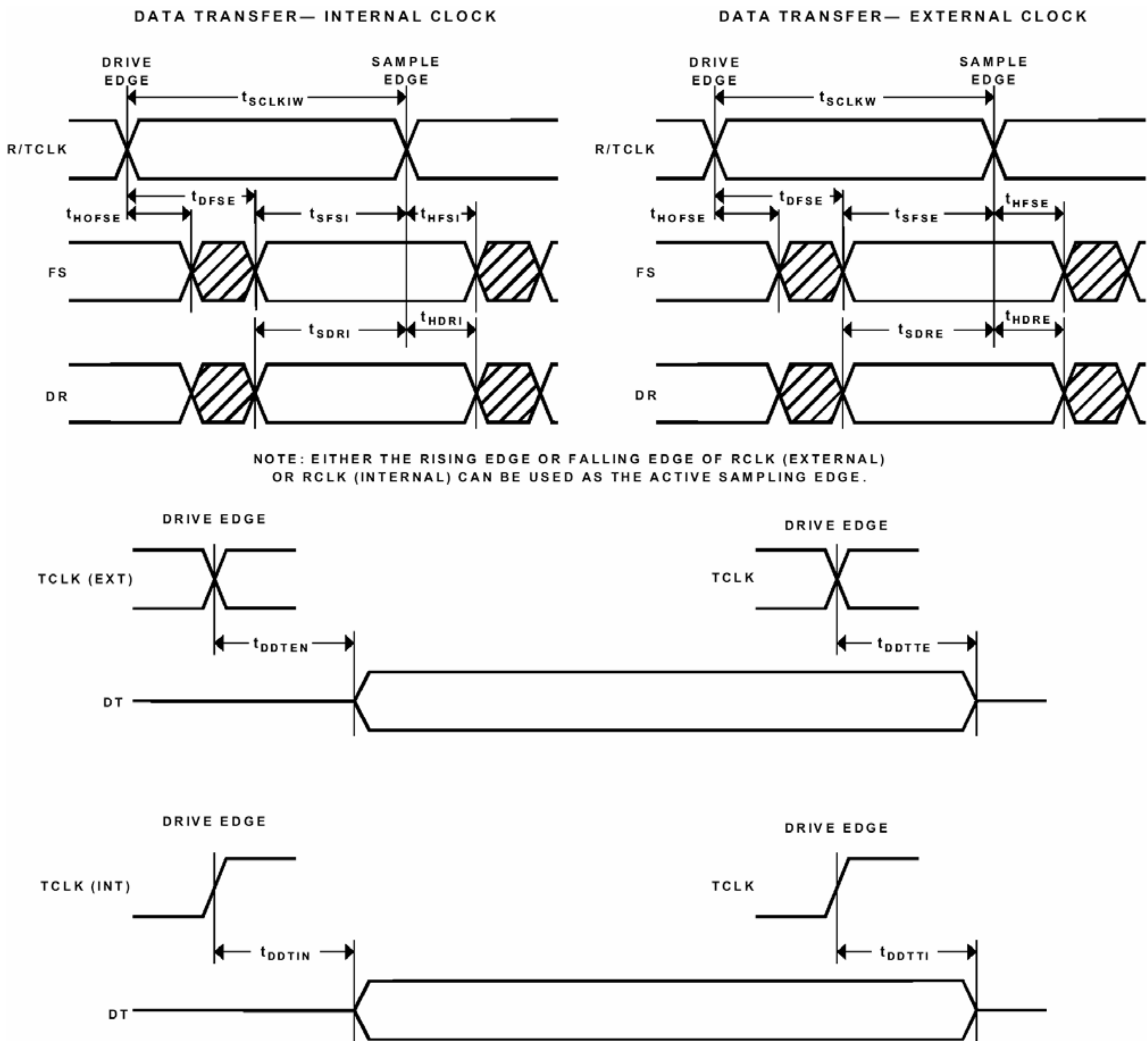


图20.　串行口（SPORT）时钟和数据

串口（SPORT）帧同步时序

表 19 和图 21 描述了 SPORT 帧同步运行情况。

要确定在时钟速度 n 下两个设备间能否通讯，要确保下面的几项要求：1）帧同步延迟、帧同步建立与保持，2）数据延迟、数据建立与保持，3）R/TCLK 宽度。

表 19.　串口（SPORT）帧同步时序

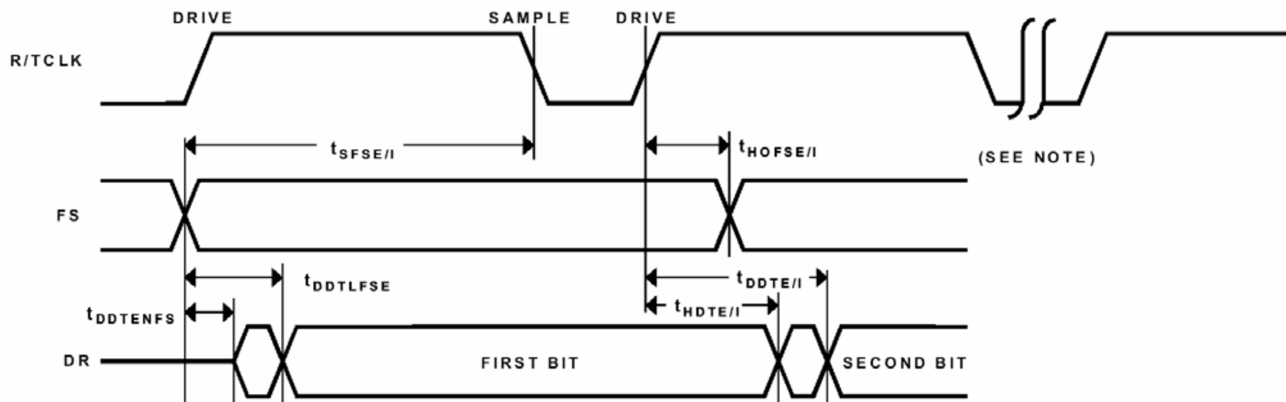
参数	描述	最小	最大	单位
开关特性				
t_{HOFSE}	RCLK 之后 RFS 保持（内部产生 RFS）[1]		12.4	ns
t_{HOFSI}	TCLK 之后 TFS 保持（内部产生 RFS）[1]		12.2	ns
$t_{DDTENFS}$	从前一 FS 或者 MCE＝1，MFD＝0[2] 到数据使能		4.7	ns
$t_{DDTLFSE}$	从前一外部 TFS 或者外部 RFS 到数据延迟时间，MCE＝1，MFD＝0[3]		4.7	ns
t_{HDTE}	TCLK 之后发送数据保持（外部 clk）[1]		12.4	ns
t_{HDTI}	TCLK 之后发送数据保持（内部 clk）[1]	0	12.2	ns
t_{DDTE}	TCLK 之后发送数据延迟（外部 clk）[1]	0	12.2	ns
t_{DDTI}	TCLK 之后发送数据延迟（内部 clk）[1]	0	11.1	ns
时序要求				
t_{SFSE}	TCLK/RCLK 之前 TFS/RFS 建立（外部 clk）[3]	-0.6	TBD	ns
t_{SFSI}	TCLK/RCLK 之前 TFS/RFS 建立（内部 clk）[3]	-0.6	TBD	ns

[1] 以驱动沿为参考。

[2] 在 $t_{DDTLFSE}$ 和 $t_{DDTENFS}$ 后，MCE＝1，TFS 使能以及 TFS 有效。

[3] 以采样沿为参考。

EXTERNAL RECEIVE FS WITH MCE = 1, MFD = 0



LATE EXTERNAL TRANSMIT FS

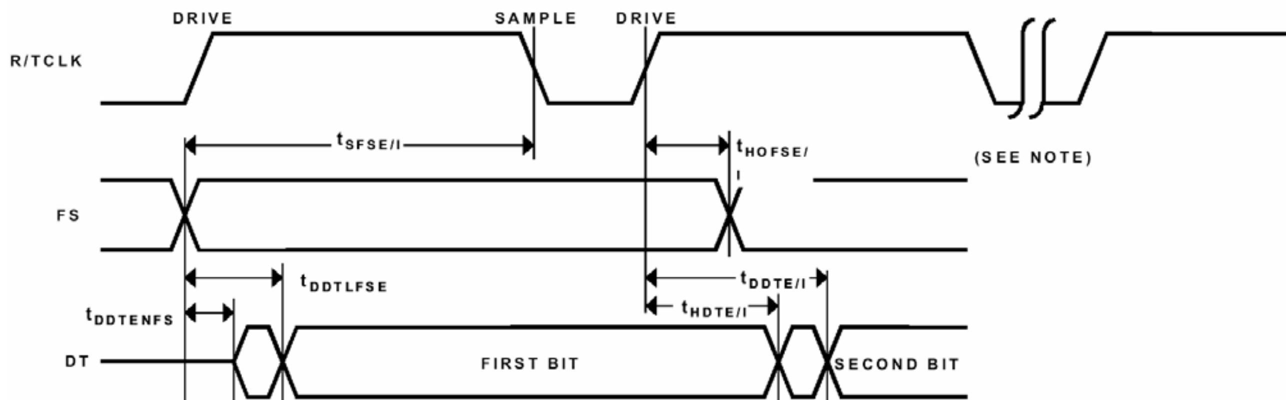


图21. 串行口（SPORT）帧同步

串行外设接口（SPI）端口－主控制器时序

表 20 和图 22 描述了 SPI 端口主控制器的运行。

表 20.　串行外设接口（SPI）端口－主控制器时序

参数	说明	最小	最大	单位
开关特性				
t_{SDSCIM}	第一个 SCLK（x＝0 或 1）沿到 SPIxSEL 低	$2t_{HCLK}$		ns
t_{SPICHM}	串行时钟高周期	$2t_{HCLK}$		ns
t_{SPICLM}	串行时钟低周期	$2t_{HCLK}$		ns
t_{SPICLK}	串行时钟周期	$4t_{HCLK}$		ns
t_{HDSM}	前一 SCLK 沿到 SPIxSEL 高（x＝0 或 1）	$2t_{HCLK}$		ns
t_{SPITDM}	顺序发送延迟	$2t_{HCLK}$		ns
t_{DDSPID}	SCLK 沿到数据输出有效（数据输出延迟）	0	6	ns
t_{HDSPID}	SCLK 沿到数据输出无效（数据输出延迟）	0	5	ns
时序要求				
t_{SSPID}	数据输入有效到 SCLK 沿（数据输入建立）	1.6		ns
t_{HSPID}	SCLK 采样沿到数据输入无效	1.6		ns

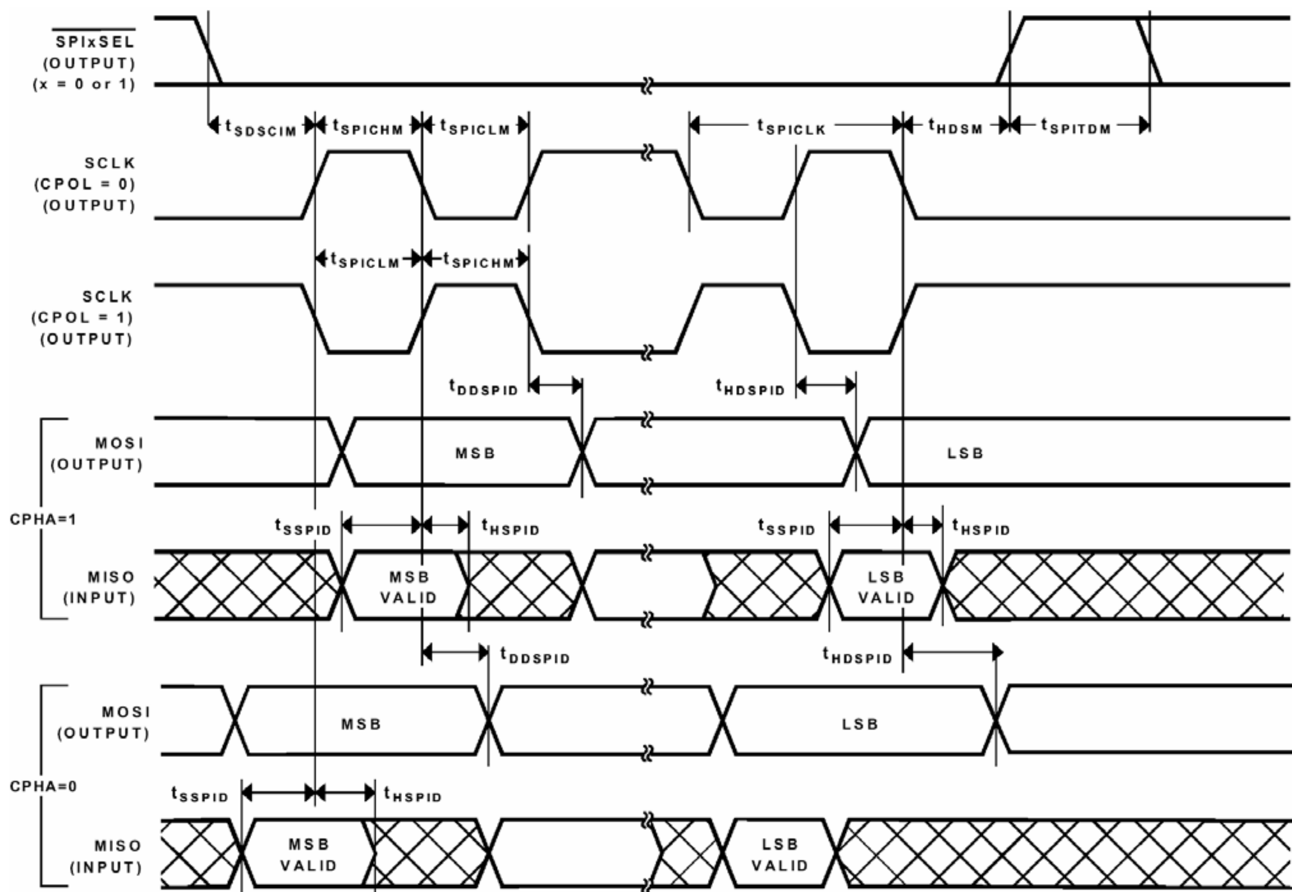


图22. 串行外设接口（SPI）端口－主控制器

串行外设接口（SPI）端口－从控制器时序

表 21 和图 23 描述了 SPI 接口从控制器的运行。

表 21. 串行外设接口（SPI）端口－从控制器时序

参数	说明	最小	最大	单位
开关特性				
t_{DSOE}	SPISS 有效到数据输出有效	0	6	ns
t_{DSDHI}	SPISS 撤销到数据高阻抗	0	6	ns
t_{DDSPID}	SCLK 沿到数据输出有效（数据输出延迟）	0	5	ns
t_{HDSPID}	SCLK 沿到数据输出无效（数据输出保持）	0	5	ns
时序要求				
t_{SPICHS}	串行时钟高周期	$2t_{HCLK}$		ns
t_{SPICLS}	串行时钟低周期	$2t_{HCLK}$		ns
t_{SPICLK}	串行时钟周期	$4t_{HCLK}$		ns
t_{HDS}	前一 SCLK 沿到 SPISS 未有效	$2t_{HCLK}$		ns
t_{SPITDS}	顺序发送延迟	$2t_{HCLK}$		ns
t_{SDSCI}	SPISS 有效到第一个 SPICLK 沿	$2t_{HCLK}$		ns
t_{SSPID}	数据输入有效到 SCLK 沿（数据输入建立）	1.6		ns
t_{HSPID}	SCLK 采样沿到数据输入无效的时间	1.6		ns

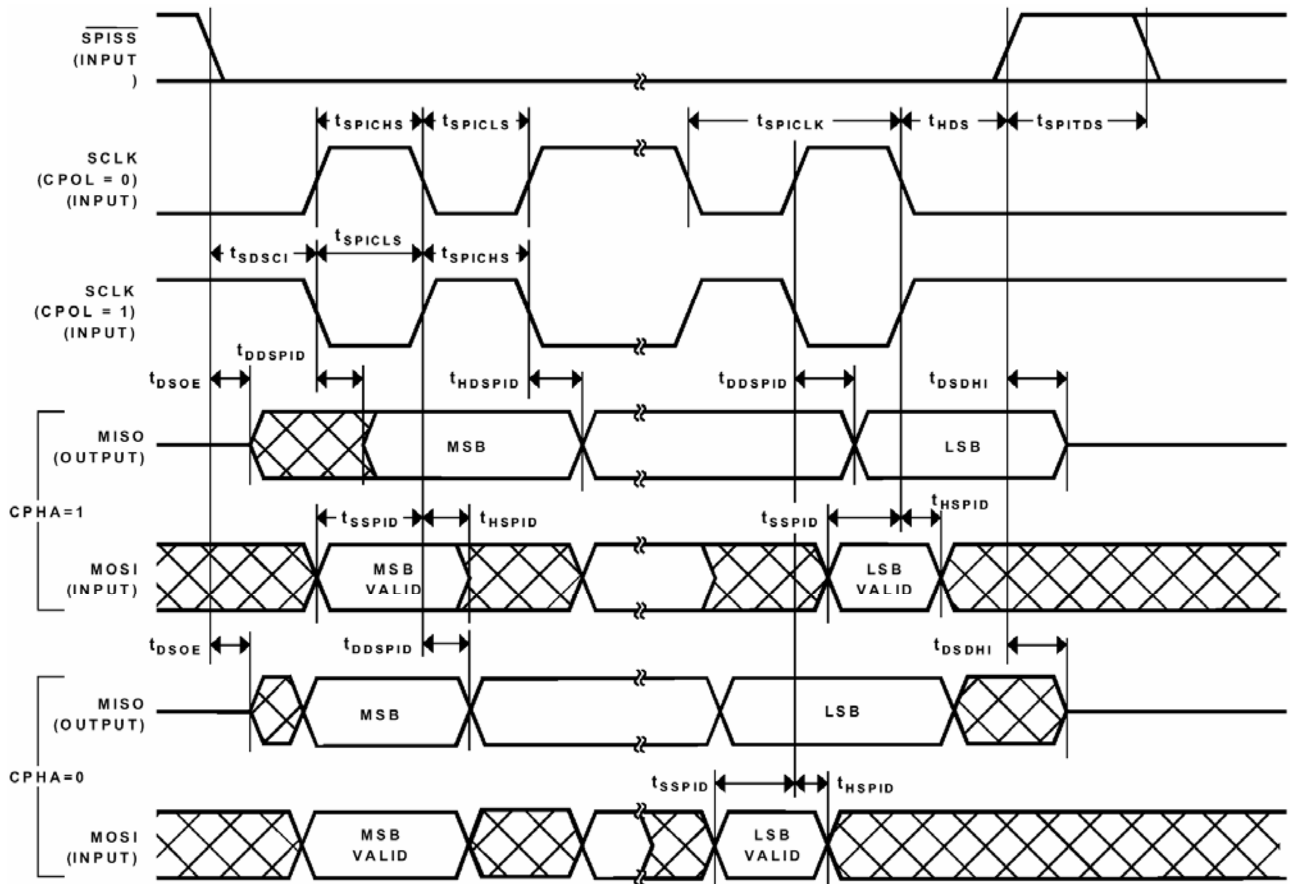


图 23. 串行外设接口（SPI）端口－从控制器

通用异步收发器（UART）端口－收发时序

图24描述了UART端口收发操作。最大波特率为HCLK/16。如图24所示，在内部UART中断的发生和外部数据操作之间，有一些延迟。在UART的数据发送速率时，这些延迟可以忽略。

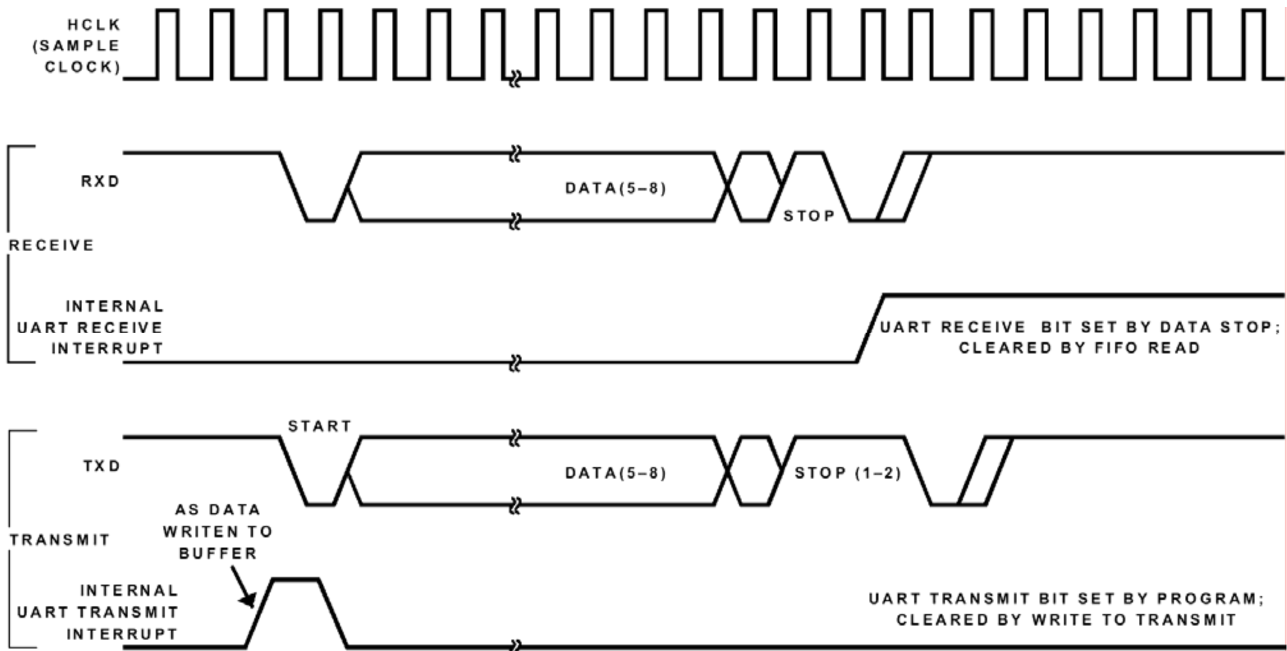


图24.　UART端口－收发时序

JTAG 测试与仿真端口时序

表 22 和图 25 描述了 JTAG 端口运行。

表 22.　JTAG 端口时序

参数	说明	最小	最大	单位
开关特性				
t_{DTDO}	从 TCK 低电平到 TDD 延迟时间		4	ns
t_{DSYS}	TCK 低电平后系统输出延迟 [1]	0	5	ns
时序要求				
t_{TCK}	TCK 周期	20		ns
t_{STAP}	TCK 高电平前 TDI、TMS 建立时间			ns
t_{HTAP}	TCK 高电平后 TDI、TMS 保持时间			ns
t_{SSYS}	TCK 低电平前系统输入建立时间 [2]			ns
t_{HSYS}	TCK 低电平后系统输入保持时间 [2]			ns
t_{TRSTW}	TRST 脉宽 [3]	4		ns

[1] 系统输出＝DATA15-0，ADDR21-0，MS3-0，RD，WR，ACK，CLKOUT，BG，PF7-0，TIMEXP，DT0，DT1，TCLK0，TCLK1，RCLK0，RCLK1，TFS0，TFS1，RFS0，RFS1，BMS。

[2] 系统输入＝DATA15-0，ADDR21-0，RD，WR，ACK，BR，BG，PF7-0，DR0，DR1，TCLK0，TCLK1，RCLK0，RCLK1，TFS0，TFS1，RFS0，RFS1，CLKIN，RESET。

[3] 最大 50MHz。

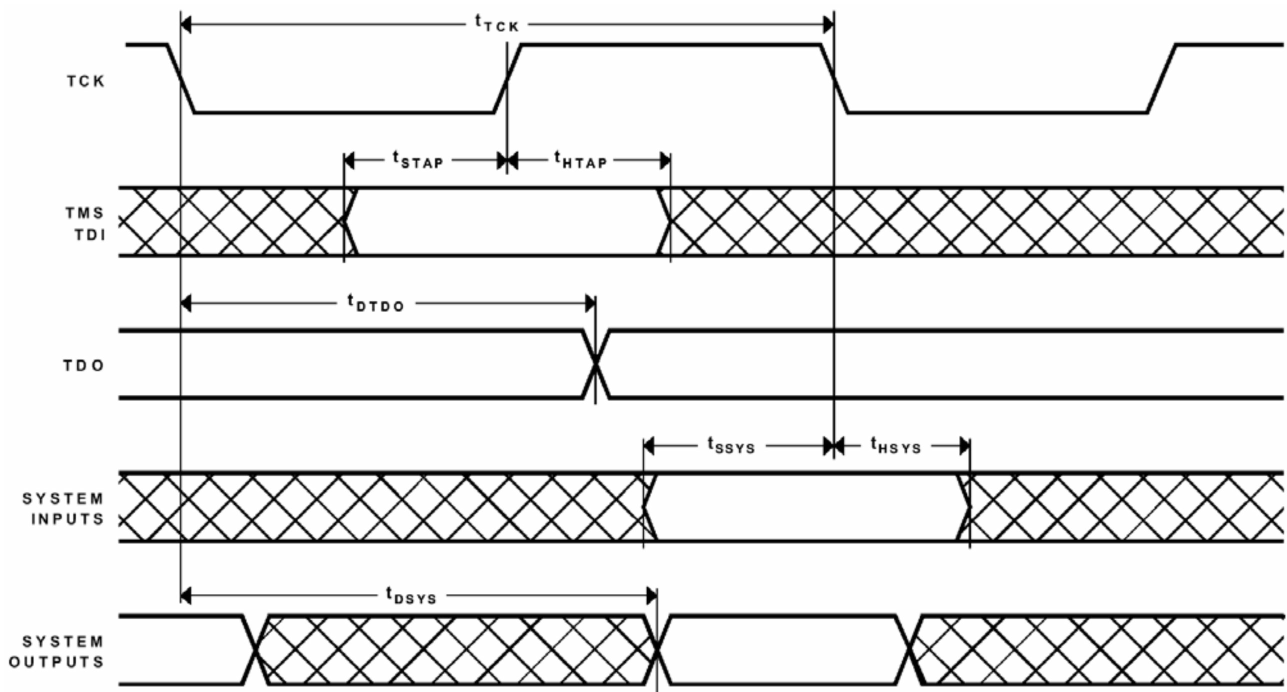


图25.　JTAG端口时序

输出驱动电流

图 26 画出了 ADSP-2191 输出驱动器的典型 I-V 特性。这条曲线将输出驱动器的电流驱动能力表示为输出电压的函数。

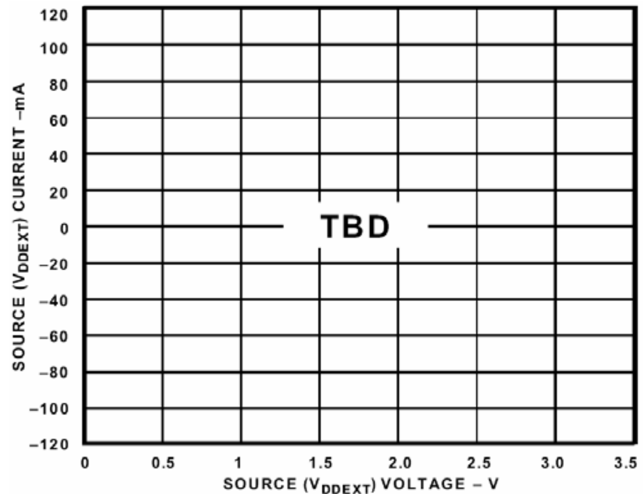


图 26.　ADSP-2191 典型驱动电流

功耗

总的功耗有两部分，一个是由内部电路引起的，一个是由外部输出驱动器的开关引起的。内部功耗取决于指令运行序列和涉及的数据操作数。利用表 23 给出的电流与操作的信息，设计者可以按照图 27 给出的公式，估计 ADSP-2191 在一特定应用中的内部电源（V_{DDINT}）输入电流。

表 23.　ADSP-2191 操作类型与输入电流的关系

动作	I_{DD}（mA）[1] CCLK=80MHz		I_{DD}（mA）[1] CCLK=160MHz	
	内核	外设	内核	外设
下电 [2]	0	0	0	0
空闲 1[3]	0	3	0	5
空闲 2[4]	0	30	0	60
典型 [5]	95	30	184	60
峰值 [6]	112	30	215	60

[1] 测试条件：V_{DD}＝2.50V；HCLK（外设时钟）频率＝CCLK/2（内核时钟/2）频率；T_{AMB}＝25℃。
[2]PLL，内核，外设时钟以及 CLKIN 禁止。
[3]PLL 使能，但内核和外设时钟禁止。
[4] 内核 CLK 禁止但外设时钟使能。这是下电中断模式。计时器能用于产生中断从而使能内核时钟。
[5] 所有的指令从内部存储器执行。100％的指令为具有双操作数寻址的 MAC，用一个线性的地址序列改变数据获取，50％的指令将数据从 PM 移到数据寄存器。
[6] 所有的指令从内部存储器执行。50％的指令是具有双操作数寻址的重复性的 MAC，用一个线性的地址序列改变数据获取。

$$I_{DDINT} = (\%Typical \times I_{DD\text{-}TYPICAL}) + (\%Idle \times I_{DD\text{-}IDLE}) + (\%Powerdown \times I_{DD\text{-}PWRDWN})$$

图 27.　I_{DDINT} 的计算

总功率损耗的外部部分是由输出引脚的开关引起的。它的大小依赖于：

- 每个周期中开关的输出引脚的数目（O）
- 最高开关频率（f）
- 负载电容（C）
- 电压摆动（VDD）

可以按照图 28 中的公式计算：

$$P_{EXT} = O \times C \times V_{DD}{}^2 \times f$$

图 28.　P_{EXT} 的计算

负载电容应当包括处理器的封装电容（C_{IN}）。开关频率包含驱动负载到高然后变回低的时间。地址和数据引脚可以以最高 1/（$2t_{CK}$）的频率驱动高低电平。写选通能以 $1/t_{CK}$ 的频率在每个周期开关。选择引脚的频率为 1/（$2t_{CK}$），但是选择可以在每个周期中切换。例如，可在以下假定下估计 P_{EXT}：

- 系统带有一组外部数据存储器－异步 RAM（16 位）
- 1 个 64K×16RAM 芯片，负载为 10pF
- 最大外设速度 CCLK＝100MHz，HCLK＝100MHz
- 外部数据存储器每隔一个周期写一次，频率为 1/（$4t_{CK}$），50%的引脚开关
- 总线周期时间为 100MHz（t_{HCLK}＝10nsec）

P_{EXT} 方程计算后，用于每一类可以如表 24 驱动的引脚。

表 24. P_{EXT} 计算

引脚类型	引脚数	%开关	×C	×f	×V_{DD}^2	= P_{EXT}
地址	15	50	TBD pF	×25.0 MHz	×10.9V	=TBD W
MSx	1	0	TBD pF	×25.0 MHz	×10.9V	=TBD W
WR	2	—	TBD pF	×25.0 MHz	×10.9V	=TBD W
数据	16	50	TBD pF	×25.0 MHz	×10.9V	=TBD W
CLKOUT	1	—	TBD pF	×100 MHz	×10.9V	=TBD W
						P_{EXT}=0.135W

现在，应用图 29 的公式，加上内部功耗的典型值就可以计算出这些条件下的典型功耗。

$$P_{TOTAL} = P_{EXT} + P_{INT}$$

图29. P_{TOTAL}（典型值）计算

其中：

- P_{EXT} 从表 24 而得
- P_{EXT} 为 I_{DDINT}×2.5V，利用第 52 页功耗部分列出的 I_{DDINT} 计算。

要注意的是引起最坏情况 P_{EXT} 的条件与引起最坏情况 P_{INT} 的条件不同。在 100%输出引脚都进行从 1 到 0 的开关操作的情况下，最大的 P_{INT} 不可能出现。也要注意，对于一个应用来说，一般不会发生 100%或者甚至 50%的输出同时开关的情况。

测试条件

测试 DSP 的输出允许、禁止和保持时间。

输出禁止时间

当输出引脚停止驱动、进入高阻状态、以及开始从其输出的高或低电压衰减的时候，认为它们是被禁止的。总线电压以-V 衰减的时间取决于负载电容 C_L 和负载电流 I_L。这个衰减时间可以近似由图 30 的公式得到。

$$t_{DECAY} = \frac{C_L \Delta V}{I_L}$$

图30. 衰减时间计算

输出禁止时间 t_{DIS} 是 $t_{MEASURED}$ 和 t_{DECAY} 的差，如图31所示。时间 $t_{MEASURED}$ 是指从参考信号开关到输出电压的从量测到的输出高或低电压开始衰减-V 之间的时间间隔。t_{DECAY} 是用测试负载 C_L 和 I_L 计算而得，并且-V等于0.5V。

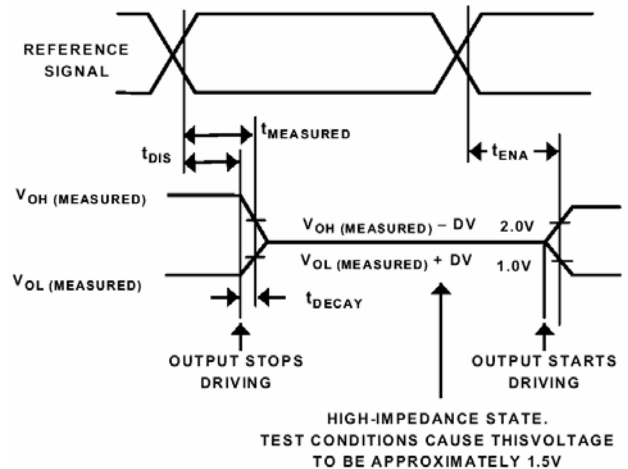


图31. 输出使能/禁止

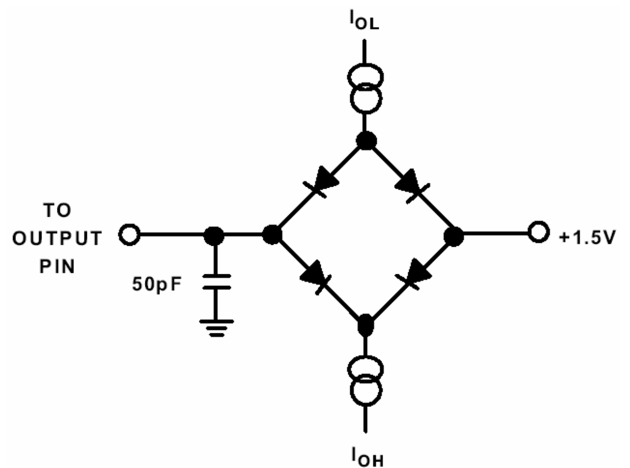


图32. 交流量测的等值设备负载（包括所有的固定器件）



图33. 交流量测的电压参考电平（除了输出使能/禁止之外）

输出使能时间

当输出引脚从高阻态过渡到开始驱动时，认为是被使能的。输出使能时间 t_{ENA} 是指从参考信号达到高电平或低电平时刻到输出电压达到规定的高电平或低电平行程点，如图 30 的输出使能/禁止所示。如果多个引脚（如数据总线）使能，测量值是第一个开始驱动的引脚的值。

范例系统保持时间计算

要确定某一特定系统的输出保持时间，首先要计算根据图30中的方程计算得到的t_{DECAY}。选择-V作为ADSP-2191输出电压与设备所需保持时间的输入门槛值之间的差值。-V的典型值为0.4V。C_L为总的总线电容（每条数据线），I_L为总的漏电流和三态电流（每条数据线）。保持时间就是t_{DECAY}加上最小的禁止时间（也就是写周期的t_{DATRWH}）。

负载电容值

输出延迟和保持时间都是基于标准容性负载：所有引脚都是50pF（见图36）。对于标称值不是50pF的负载，延迟和保持时间就要按照1.5ns/50pF的因数减少。图34和35说明了输出上升时间如何随着电容值变化。这些图还描绘了输出延迟和保持时间如何随负载电容变化。（要注意这个曲线或者减少不能应用于输出禁止延迟；参见第53页的输出禁止时间。）这些图中的曲线在所示范围之外不一定是线性的。

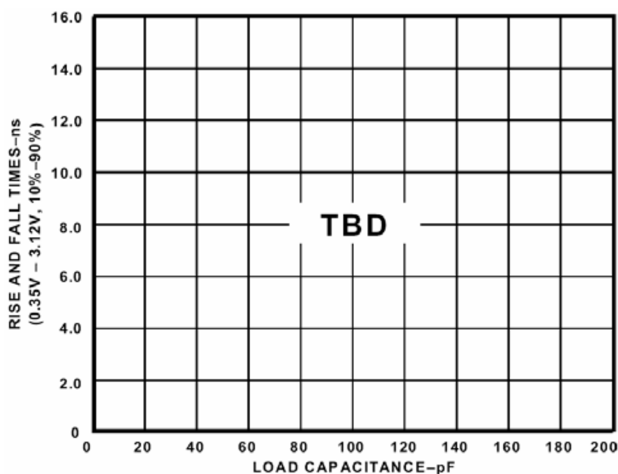


图34.　典型输出上升时间（10％－90％，V_{DDEXT}＝Max）－负载电容

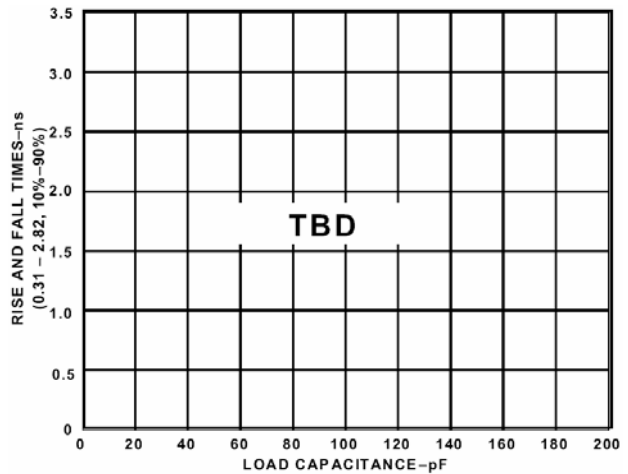


图35.　典型输出上升时间（10％－90％，V_{DDEXT}＝Min）－负载电容

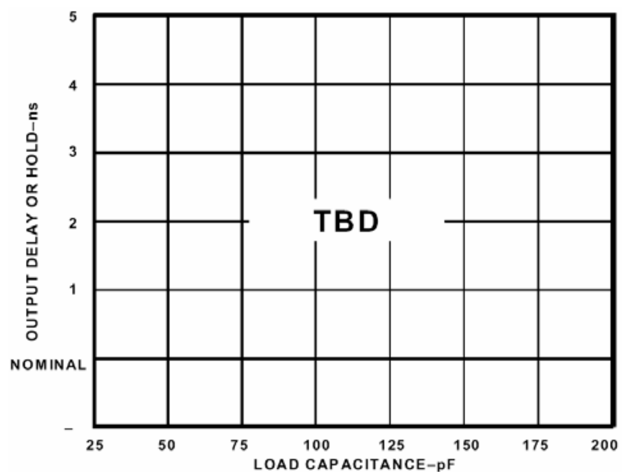


图36.　典型输出延迟或保持时间－负载电容（在最高温度的情况）

环境条件

DSP 运行时的热特性会影响其性能。

热特性

ADSP-2191 的封装形式为 144 线 LQFP 或者 144 线球栅排列（小型 BGA）封装。ADSP2191 给定了周边温度（T_{AMB}），由图 37 中的公式计算。为了保证不超过 T_{AMB}，需要应用一个散热片和/或空气流通装置。散热片要用导热胶贴在芯片的底面（尽可能的靠近散热通道）。

$$T_{AMB} = T_{CASE} - PD \times \theta_{CA}$$

图 37.　T_{CASE} 的计算

其中：

- T_{AMB} 为周边温度(测量时要靠近封装的顶端)
- PD 为功率耗散的瓦数(这个值依赖于特定的应用；PD 的计算方法见功耗部分说明)
- θ_{CA}＝表 25 中的值。
- θ_{JB}＝TBD℃/W

在 T_{AMB} 计算和表 25 的值中，还有几个重要的问题需要注意：

- 它表示了总功率为 TBD W 时的热阻。
- 对于 LQFP 封装：θ_{JC}＝0.96℃/W，对于 mini-BGA 封装：θ_{JC}＝8.4℃/W。

表 25. θ_{CA} 的值 [1]

气流（线性 Ft./Min.）	0	100	200	400	600
气流（米/秒）	0	0.5	1	2	3
LQFP：θ_{CA}（℃/W）	44.3	41.4	38.5	38.5	32.1
mini-BGA: θ_{CA}（℃/W）	26	24	22	20.9	19.8

[1] 这些是初步的估计。

ADSP-2191 144 线 LQFP 引脚

表 26 根据信号名称列出了 LQFP 引脚。

表 26. 144 线 LQFP 引脚（根据信号的字母顺序）

信号	引线号
A0	84
A1	85
A2	86
A3	87
A4	88
A5	89
A6	91
A7	92
A8	93
A9	95
A10	96
A11	97
A12	98
A13	99
A14	101
A15	102
A16	103
A17	104
A18	106
A19	107
A20	108
A21	109
ACK	120
BG	111
BGH	110
BMODE0	70
BMODE1	71
BMS	112
BR	113
BYPASS	72
CLKOUT	130
D0	123
D1	124
D2	125
D3	126
D4	128
D5	135
D6	136
D7	137
D8	138
D9	139
D10	140
D11	141
D12	142
D13	144
D14	1
D15	2
DR0	60
DR1	67
DR2	49
DT0	56
DT1	64
DT2	46
EMU	81
HACK	26
HACK_P	24
HAD0	3
HAD1	4
HAD2	6
HAD3	7
HAD4	8
HAD5	9
HAD6	10
HAD7	11
HAD8	12
HAD9	14
HAD10	15
HAD11	17
HAD12	18
HAD13	20
HAD14	21
HAD15	22
HA16	23
HALE	30
HCMS	27
HCIOMS	28
HRD	31
HWR	32
IOMS	114
MS0	115
MS1	116
MS2	117
MS3	119
OPMODE	83
CLKIN	132
XTAL	133
PF0	34
PF1	35
PF2	36
PF3	37
PF4	38
PF5	39
PF6	41
PF7	42
RCLK0	61
RCLK1	68
RCLK2	50
RESET	73
RFS0	62
RFS1	69
RFS2	51
RD	122
RXD	52
TCK	78
TCLK0	57
TCLK1	65
TCLK2	47
TDI	75
TDO	74
TFS0	59
TFS1	66
TFS2	48
TMR0	43
TMR1	44
TMR2	45
TMS	76
TRST	79
TXD	53
V_{DDEXT}	13
V_{DDEXT}	25
V_{DDEXT}	40
V_{DDEXT}	63
V_{DDEXT}	90
V_{DDEXT}	100
V_{DDEXT}	118
V_{DDEXT}	131
V_{DDEXT}	143
V_{DDINT}	19
V_{DDINT}	58
V_{DDINT}	82
V_{DDINT}	127
GND	5
GND	16
GND	29
GND	33
GND	54
GND	55
GND	77
GND	80
GND	94
GND	105
GND	129
GND	134
WR	121

表27. 144线LQFP引脚（根据引脚号的数字顺序）

信号	引线号
D14	1
D15	2
HAD0	3
HAD1	4
GND	5
HAD2	6
HAD3	7
HAD4	8
HAD5	9
HAD6	10
HAD7	11
HAD8	12
V_{DDEXT}	13
HAD9	14
HAD10	15
GND	16
HAD11	17
HAD12	18
V_{DDINT}	19
HAD13	20
HAD14	21
HAD15	22
HA16	23
HACK_P	24
V_{DDEXT}	25
HACK	26
HCMS	27
HCIOMS	28
GND	29
HALE	30
HRD	31
HWR	32
GND	33
PF0	34
PF1	35
PF2	36
PF3	37
PF4	38
PF5	39
V_{DDEXT}	40
PF6	41
PF7	42
TMR0	43
TMR1	44
TMR2	45
DT2	46
TCLK2	47
TFS2	48
DR2	49
RCLK2	50
RFS2	51
RXD	52
TXD	53
GND	54
GND	55
DT0	56
TCLK0	57
V_{DDINT}	58
TFS0	59
DR0	60
RCLK0	61
RFS0	62
V_{DDEXT}	63
DT1	64
TCLK1	65
TFS1	66
DR1	67
RCLK1	68
RFS1	69
BMODE0	70
BMODE1	71
BYPASS	72
RESET	73
TDO	74
TDI	75
TMS	76
GND	77
TCK	78
TRST	79
GND	80
EMU	81
V_{DDINT}	82
OPMODE	83
A0	84
A1	85
A2	86
A3	87
A4	88
A5	89
V_{DDEXT}	90
A6	91
A7	92
A8	93
GND	94
A9	95
A10	96
A11	97
A12	98
A13	99
V_{DDEXT}	100
A14	101
A15	102
A16	103
A17	104
GND	105
A18	106
A19	107
A20	108
A21	109
BGH	110
BG	111
BR	112
BMS	113
IOMS	114
MS0	115
MS1	116
MS2	117
V_{DDEXT}	118
MS3	119
ACK	120
WR	121
RD	122
D0	123
D1	124
D2	125
D3	126
V_{DDINT}	127
D4	128
GND	129
CLKOUT	130
V_{DDEXT}	131
CLKIN	132
XTAL	133
GND	134
D5	135
D6	136
D7	137
D8	138
D9	139
D10	140
D11	141
D12	142
V_{DDEXT}	143
D13	144

ADSP-2191 144线小型BGA封装的引脚

表28根据信号名称列出了小型BGA封装的引脚。

表28. ADSP-2191 144线小型BGA封装的引脚（根据信号的字母排序）

信号	球号
A0	J11
A1	H9
A2	H10
A3	G12
A4	H11
A5	G10
A6	F12
A7	G11
A8	F10
A9	F11
A10	E12
A11	E11
A12	E10
A13	E9
A14	D11
A15	D10
A16	D12
A17	C11
A18	C12
A19	B12
A20	B11
A21	A11
ACK	A8
BG	C10
BGH	B10
BMODE0	L10
BMODE1	L9
BMS	A10
BR	B9
BYPASS	M11
CLKIN	A5
CLKOUT	C6
D0	D7
D1	A7
D2	C7
D3	A6
D4	B7
D5	A4
D6	C5
D7	B5
D8	D5
D9	A3
D10	C4
D11	B4
D12	C3
D13	A2
D14	B1
D15	B2
DR0	L7
DR1	K9
DR2	L5
TCLK0	J6
DT1	L8
DT2	H4
EMU	J10
HACK	H3
HACK_P	G1
HAD0	C1
HAD1	B3
HAD2	C2
HAD3	D1
HAD4	D4
HAD5	D3
HAD6	D2
HAD7	E1
HAD8	E4
HAD9	E2
HAD10	F1
HAD11	E3
HAD12	F2
HAD14	F3
HAD15	G3
HAD13	G2
HA16	H2
HALE	J1
HCIOMS	J3
HCMS	H1
HRD	J2
HWR	K2
IOMS	E8
MS0	D9
MS1	A9
MS2	C9
MS3	D8
OPMODE	H12
PF0	K1
PF1	L1
PF2	M2
PF3	L2
PF4	M3
PF5	L3
PF6	K3
PF7	M4
RCLK0	K7
RCLK1	J9
RCLK2	J5
RD	B8
RESET	L12
RFS0	K8
RFS1	M10
RFS2	M6
RXD	K6
TCK	K11
DT0	H6
TCLK1	M9
TCLK2	K5
TDI	K12
TDO	L11
TFS0	M8
TFS1	J8
TFS2	M5
TMR0	K4
TMR1	L4
TMR2	J4
TMS	K10
TRST	J12
TXD	M7
V_{DDINT}	D6
V_{DDINT}	F4
V_{DDINT}	G9
V_{DDINT}	J7
V_{DDEXT}	E5
V_{DDEXT}	E6
V_{DDEXT}	F5
V_{DDEXT}	F6
V_{DDEXT}	G7
V_{DDEXT}	G8
V_{DDEXT}	H7
V_{DDEXT}	H8
GND	A1
GND	A12
GND	E7
GND	F7
GND	F8
GND	F9
GND	G4
GND	G5
GND	G6
GND	H5
GND	L6
GND	M1
GND	M12
WR	C8
XTAL	B6

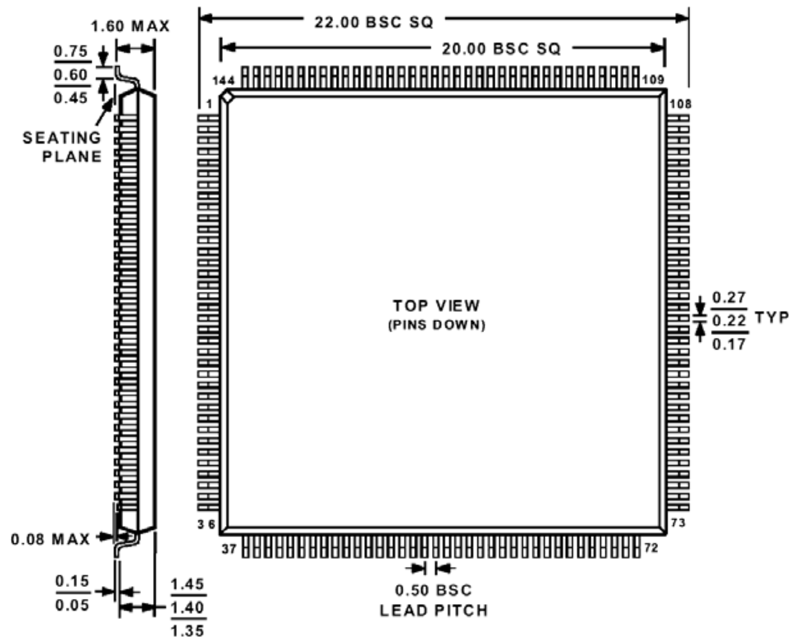
表29根据球号列出了小型BGA封装的引脚

表29.　144线小型BGA封装的引脚（根据球号数字顺序）

信号	球号
GND	A1
D13	A2
D9	A3
D5	A4
CLKIN	A5
D3	A6
D1	A7
ACK	A8
MS1	A9
BMS	A10
A21	A11
GND	A12
D14	B1
D15	B2
HAD1	B3
D11	B4
D7	B5
XTAL	B6
D4	B7
RD	B8
BR	B9
BGH	B10
A20	B11
A19	B12
HAD0	C1
HAD2	C2
D12	C3
D10	C4
D6	C5
CLKOUT	C6
D2	C7
WR	C8
MS2	C9
BG	C10
A17	C11
A18	C12
HAD3	D1
HAD6	D2
HAD5	D3
HAD4	D4
D8	D5
V_{DDINT}	D6
D0	D7
MS3	D8
MS0	D9
A15	D10
A14	D11
A16	D12
HAD7	E1
HAD9	E2
HAD11	E3
HAD8	E4
V_{DDEXT}	E5
V_{DDEXT}	E6
GND	E7
IOMS	E8
A13	E9
A12	E10
A11	E11
A10	E12
HAD10	F1
HAD12	F2
HAD14	F3
V_{DDINT}	F4
V_{DDEXT}	F5
V_{DDEXT}	F6
GND	F7
GND	F8
GND	F9
A8	F10
A9	F11
A6	F12
HACK_P	G1
HAD13	G2
HAD15	G3
GND	G4
GND	G5
GND	G6
V_{DDEXT}	G7
V_{DDEXT}	G8
V_{DDINT}	G9
A5	G10
A7	G11
A3	G12
HCMS	H1
HA16	H2
HACK	H3
DT2	H4
GND	H5
DT0	H6
V_{DDEXT}	H7
V_{DDEXT}	H8
A1	H9
A2	H10
A4	H11
OPMODE	H12
HALE	J1
HRD	J2
HCIOMS	J3
TMR2	J4
RCLK2	J5
TCLK0	J6
V_{DDINT}	J7
TFS1	J8
RCLK1	J9
EMU	J10
A0	J11
TRST	J12
PF0	K1
HWR	K2
PF6	K3
TMR0	K4
TCLK2	K5
RXD	K6
RCLK0	K7
RFS0	K8
DR1	K9
TMS	K10
TCK	K11
TDI	K12
PF1	L1
PF3	L2
PF5	L3
TMR1	L4
DR2	L5
GND	L6
DR0	L7
DT1	L8
BMODE1	L9
BMODE0	L10
TDO	L11
RESET	L12
GND	M1
PF2	M2
PF4	M3
PF7	M4
TFS2	M5
RFS2	M6
TXD	M7
TFS0	M8
TCLK1	M9
RFS1	M10
BYPASS	M11
GND	M12

外形尺寸

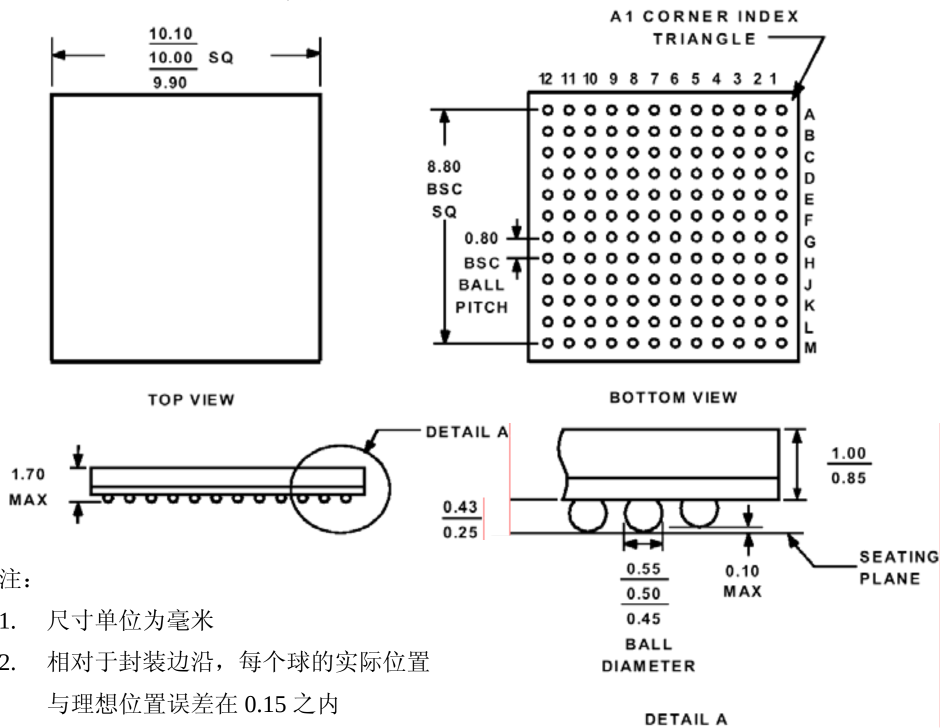
144线公制薄型塑铅扁平封装（LQFP）（ST-144）



注：

1. 尺寸单位为毫米
2. 横向测量时，每个引线的实际位置与理想位置误差在 0.08 之内
3. 中心尺寸为标称值

144球小型BGA（CA-144）



注：

1. 尺寸单位为毫米
2. 相对于封装边沿，每个球的实际位置与理想位置误差在 0.15 之内
3. 相对于每个球栅，每个球的实际位置与理想位置误差在 0.08 之内
4. 中心尺寸为标称值

订货指南

零件号[1, 2]	环境温度范围	指令速率	片内**SRAM**	运行电压
ADSP-2191MKST-160X	0ºC到70ºC	160MHz	1.3M位	2.5内/3.3外 V
ADSP-2191MBST-140X	-40ºC到85ºC	140MHz	1.3M位	2.5内/3.3内 V
ADSP-2191MKCA-160X	0ºC到70ºC	160MHz	1.3M位	2.5内/3.3内 V
ADSP-2191MBCA-140X	-40ºC到85ºC	140MHz	1.3M位	2.5内/3.3内 V

[1]ST＝薄型塑铅扁平封装

[2]CA＝小型球栅排列